

(11)Publication number : 11-163363
 (43)Date of publication of application : 18.06.1999

(51)Int.Cl. H01L 29/786
 H01L 21/336

(21)Application number : 09-337670

(71)Applicant : SEMICONDUCTOR ENERGY LAB
 CO LTD

(22)Date of filing : 22.11.1997

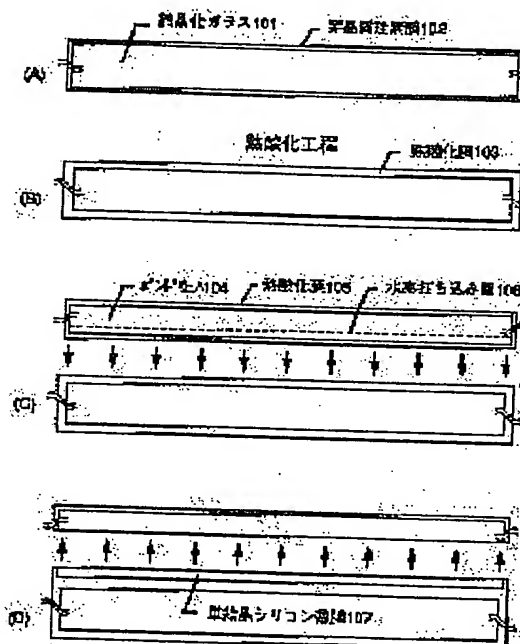
(72)Inventor : YAMAZAKI SHUNPEI

(54) SEMICONDUCTOR DEVICE AND ITS FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a semiconductor device of low manufacturing cost by the use of a glass substrate the distortion spot of which is at least a specified temperature, protecting on outer peripheral surface of the high heat resistant glass substrate by using an insulating silicon film, and forming a single-crystal silicon thin film on the high heat resistant glass substrate wrapped with the insulating silicon film.

SOLUTION: A glass substrate (glass substrate the distortion spot of which is at least 750° C or higher), having heat resistance capable of enduring a temperature of at least 750° C, is used as a substrate. An amorphous silicon film 102 is formed to crystallized glass 101. When the film 2 is formed through a low-pressure heat CVD method, the amorphous silicon film 102 can be formed on the surface, the back and the side surface of the substrate 101, which is wrapped with the film 102. By thermally oxidizing the amorphous silicon film 102, a thermal oxide film 103 is formed. A single-crystal silicon thin film 107 is formed on the crystallized glass 101 whose outer peripheral part is protected by the thermal oxide film 103.



LEGAL STATUS

[Date of request for examination]

26.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by including in a configuration TFT which makes the glass substrate whose strain point is 750 degrees C or more, the insulating silicone film of said glass substrate formed to the front face and the rear face at least, and the single-crystal-silicon thin film formed on said insulating silicone film a channel formation field.

[Claim 2] The semiconductor device characterized by including in a configuration TFT which makes the glass substrate whose strain point is 750 degrees C or more, the insulating silicone film which covered the periphery enclosure of said glass substrate and was formed, and the single-crystal-silicon thin film formed on said insulating silicone film a channel formation field.

[Claim 3] It is the semiconductor device characterized by said glass substrates being glass ceramics in claim 1 or claim 2.

[Claim 4] The production approach of the semiconductor device characterized by including the process in which a strain point forms an amorphous semiconductor thin film to the whole surface of the glass substrate which is 750 degrees C or more, the process which it oxidizes [process] and carries out conversion of said amorphous semiconductor thin film to the thermal oxidation film completely by 1st heat-treatment, and the process which forms a single-crystal-silicon thin film in the main front-face side of said glass substrate by the smart cutting method.

[Claim 5] The production approach of the semiconductor device characterized by including the process in which a strain point forms an insulating silicone film with a reduced pressure heat CVD method to the whole surface of the glass substrate which is 750 degrees C or more, and the process which forms a single-crystal-silicon thin film in the main front-face side of said glass substrate by the smart cutting method.

[Claim 6] The production approach of the semiconductor device characterized by said glass substrates being glass ceramics in claim 4 or claim 5.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Invention indicated on these specifications relates to the semiconductor device using the single crystal semiconductor thin film formed on the substrate which has an insulating front face. Especially, it is cheap as a substrate and heat-resistant high glass ceramics (called ceramic glass) are used.

[0002] In addition, in this specification, all of a thin film transistor (following, TFT), a semiconductor circuit, an electro-optic device, and electronic equipment are included and treated to a "semiconductor device" at criteria. That is, all the equipments that may function using a semi-conductor property are called a semiconductor device.

[0003] Therefore, the semiconductor device indicated in the range of the above-mentioned application for patent includes not only simple substance components, such as TFT, but the electronic equipment which carried as components the semiconductor circuit which integrated it, an electro-optic device, and them.

[0004]

[Description of the Prior Art] In recent years, the technique which constitutes a thin film transistor (TFT) using the semi-conductor thin film (number of thickness 10- about hundreds of nm) formed on the substrate which has an insulating front face attracts attention. Especially as for the thin film transistor, the development as a switching element of an image display device (for example, a liquid crystal display: LCD) is hurried.

[0005] Moreover, the attempt which makes the driver line which controls the pixel matrix circuit which controls separately the pixel arranged in the shape of a matrix in the liquid crystal display, and a pixel matrix circuit, the logical circuits (an arithmetic circuit, a memory circuit, clock generator, etc.) which process the data signal from the outside further on the same substrate is made.

[0006] In order to realize such a monolithic mold LCD, the TFT circuit where a working speed is still quicker is needed, therefore a semi-conductor layer with very high carrier mobility is needed.

[0007] In such flow, the SOI technique attracts attention. The technique called the smart cutting method as a technique which forms a single-crystal-silicon thin film on substrates, such as synthetic quartz, especially attracts attention.

[0008] The smart cutting method (SOITEC of France will announce in 1996) is one of the lamination SOI techniques, and hydrogen embrittlement is used positively. The easy procedure of the smart cutting method is explained to drawing 2 here.

[0009] First, the thermal oxidation film 202 is formed by oxidizing the bond wafer 201 thermally, and a hydrogen ion (H⁺) is added by the ion implantation method after that. In the bond wafer 201, the minute cavity (micro cavity) 203 by which termination was carried out from hydrogen is formed of the addition process of a hydrogen ion. On these specifications, this minute cavity 203 will be called a hydrogen placing layer. (Drawing 2 (A))

[0010] Next, heat-treatment of lamination and 500 ** extent is performed for the bond wafer 201 which finished the above-mentioned processing, and the base wafer 204 which serves as a support substrate of a thin film behind at a room temperature. Of this heat-treatment, in an above-mentioned hydrogen placing layer, hydrogen embrittlement arises and the fracture layer 205 by hydrogen embrittlement is formed. (Drawing 2 (B))

[0011] In this way, if ***** 205 is formed in hydrogen embrittlement, it will leave only the single-crystal-silicon thin film 206, and the bond wafer 201 will separate easily. (Drawing 2 (C))

[0012] Therefore, on the base wafer 204, the thermal oxidation film 202 and the single-crystal-silicon thin film 206 used as a substrate are formed. In addition, the thickness of the single-crystal-silicon thin film 206 at this time is determined by the placing depth of the thickness of the thermal oxidation film 202, and hydrogen ion impregnation in drawing 2 (A).

[0013] In this way, if the condition of drawing 2 (C) is acquired, shallow polishing (touch polish) of

10nm order will be performed, heat-treatment of about 2 hours will be performed at the temperature of about further 1000-1100 degrees C, and the strong single-crystal-silicon thin film 207 of bonding strength will be obtained. (Drawing 2 (D))

[0014] As mentioned above, the smart cutting method has the advantage that a single-crystal-silicon thin film can be obtained with a very simple means. Moreover, since the thickness of a single-crystal-silicon layer is not influenced by polishing precision, the homogeneity of thickness is very as high as an old lamination SOI substrate.

[0015] Moreover, recently, the attempt which forms a single-crystal-silicon thin film on synthetic quartz using this smart cutting method is also made. (32 Takao Abe: The physical properties of the 24th amorphous substances, an application seminar text, p.25- 1997)

[0016] However, if synthetic quartz and a silicon wafer (bond wafer) are stuck according to this report, since the difference of a coefficient of thermal expansion is large, destruction will take place with heating which is 300 ** extent. Therefore, by the multiple address notice, after sticking a bond wafer before and behind 200 **, flat-surface polishing (or etching) was carried out to 50 micrometers, 500 ** was heat-treated after that, and lamination is completed.

[0017]

[Problem(s) to be Solved by the Invention] As mentioned above, in order to form a single-crystal-silicon layer on synthetic quartz using the smart cutting method, there is a problem of the difference of a coefficient of thermal expansion, and there is a fault that a lamination process becomes complicated.

[0018] Moreover, considering the purpose of forming TFT using a single-crystal-silicon layer, and realizing the monolithic mold LCD, it is not desirable to use an expensive quartz substrate, in order to make the whole cost increase.

[0019] Let it be a technical problem for the invention in this application to offer the technique for realizing the semiconductor device using the single-crystal-silicon thin film which is made in view of the above-mentioned trouble, and is obtained by the smart cutting method with a cheap manufacturing cost.

[0020]

[Means for Solving the Problem] The configuration of invention indicated on these specifications is characterized by including in a configuration TFT which makes the glass substrate whose strain point is 750 degrees C or more, the insulating silicone film of said glass substrate formed to the front face and the rear face at least, and the single-crystal-silicon thin film formed on said insulating silicone film a channel formation field.

[0021] Moreover, the configuration of other invention is characterized by including in a configuration TFT which makes the glass substrate whose strain point is 750 degrees C or more, the insulating silicone film which covered the periphery enclosure of said glass substrate and was formed, and the single-crystal-silicon thin film formed on said insulating silicone film a channel formation field.

[0022] Moreover, the configuration of other invention is characterized by including the process in which a strain point forms an amorphous semiconductor thin film to the whole surface of the glass substrate which is 750 degrees C or more, the process which it oxidizes [process] and carries out conversion of said amorphous semiconductor thin film to the thermal oxidation film completely by 1st heat-treatment, and the process which forms a single-crystal-silicon thin film in the main front-face side of said glass substrate by the smart cutting method.

[0023] Moreover, the configuration of other invention is characterized by including the process in which a strain point forms an insulating silicone film with a reduced pressure heat CVD method to the whole surface of the glass substrate which is 750 degrees C or more, and the process which forms a single-crystal-silicon thin film in the main front-face side of said glass substrate by the smart cutting method.

[0024] As important requirements for a configuration of the invention in this application, it is (1) substrate. The glass substrate (a strain point glass substrate which is 750 degrees C or more) which has the thermal resistance which can bear the temperature of 750 degrees C or more is used.

(2) Protect the peripheral face (at least a front face and a rear face, preferably whole surface) of

the above-mentioned quantity heat-resisting-glass substrate with an insulating silicone film.

(3) On the above-mentioned quantity heat-resisting-glass substrate wrapped in the insulating silicone film, use the smart cutting method and form a single-crystal-silicon thin film.

Three points to say are mentioned.

[0025] Single-crystal-silicon thin film stuck on the substrate by the smart cutting method

Perfect bonding strength is acquired by performing 800–1200 degrees C (preferably 900–1100 degrees C) heat-treatment. Therefore, as a base substrate, a strain point is . It is necessary to use the substrate which is 750 degrees C or more.

[0026] Although a quartz substrate is first considered as such a substrate, since the quartz substrate is expensive, it will raise overall cost as mentioned above. Moreover, the coefficient of thermal expansion of a quartz is 0.48×10^{-6} degree C⁻¹, and is as small as about [of the coefficient of thermal expansion (about 4.15×10^{-6} degree C⁻¹) of silicon] 1/10. Namely, it is easy to generate stress between silicon, and easy to cause peeling (film peeling) of silicon etc. in the case of heat-treatment.

[0027] So, a strain point in the invention in this application The heat-resistant high glass ceramics which are 750 degrees C or more (typically 800–1200 degrees C, preferably 900–1100 degrees C) are used as a substrate. Since glass ceramics are made more thinly than a quartz, they can hold down the manufacturing cost of LCD at a low price. Moreover, since it is a glass substrate, the formation of the size version is possible, and the cost cut by multiple picking can also be aimed at.

[0028] Furthermore, since a coefficient of thermal expansion is easily changeable by making suitable the component presentation which constitutes glass ceramics, it can choose the thing near the coefficient of thermal expansion of a single-crystal-silicon thin film. That is, since the difference of a coefficient of thermal expansion can be made very small, film peeling like the former etc. does not need to be lost, and it is not necessary to perform a complicated process which was stated in the conventional example.

[0029] However, since glass ceramics have various component presentations, we are anxious about the outflow of the component matter in the manufacture process of a semiconductor device. Therefore, it becomes important to protect glass ceramics by the insulator layer (for an insulating silicone film to be desirable when affinity with a single-crystal-silicon thin film is taken into consideration). for that purpose, all process processes -- setting -- glass ceramics -- it is necessary to protect at least a front face (side in which a component is formed), and a rear face by the insulator layer

[0030] In addition, the side face of glass ceramics does not pose a problem so much, even if it has exposed, since it is a very small area when it sees from the whole. However, it cannot be overemphasized that it is most desirable to wrap completely a front face, a side face, and a rear face in an insulator layer, and to prevent the outflow of the component matter completely.

[0031] However, the part which is not formed is made into the part of the substrate supporters at the time of forming an insulator layer (pusher pin etc.). However, since it is a very minute field as compared with the whole area, a problem does not become.

[0032] It resulted in the configuration of the invention in this application that invention-in-this-application persons prepare the single-crystal-silicon thin film formed by the smart cutting method on the high heat-resisting-glass substrate protected in the peripheral face (preferably whole surface) with the insulating silicone film in consideration of the above point.

[0033]

[Embodiment of the Invention] Suppose that detailed explanation is given about the operation gestalt of the invention in this application as it is also at the example shown below.

[0034]

[Example] [Example 1] This example explains the process to the place which forms a single-crystal-silicon thin film on glass ceramics using the smart cutting method using drawing 1 .

[0035] First, it is a substrate. 0.5–1.1mm The glass-ceramics substrate 101 of thickness (typically 0.7mm thickness) is prepared. Glass ceramics are also called crystallized glass and are defined as the glass substrate which the minute crystal was grown up into homogeneity and obtained in the phase of glass generation. Such glass ceramics have high thermal resistance, and

have the description that a coefficient of thermal expansion is small.

[0036] glass substrate used by the invention in this application 750 degrees C or more — desirable — The high thermal resistance which has the strain point temperature of 900–1100 is required. Although the glass ingredient which realizes such thermal resistance in the present condition has only glass ceramics, if it is the substrate which has the above-mentioned thermal resistance even if it is the glass substrates (for example, high heat-resisting-glass substrate of an amorphous state etc.) which do not go into the definition of glass ceramics, it can use for the invention in this application.

[0037] In addition, the detail about crystallization glass is good to refer to "pp.197–217 besides glass handbook; Sumio Sakuhana, Asakura Publishing, and 1975."

[0038] Although the class of glass ceramics is also various, it can be said that the aluminosilicate glass consisting mainly of a quartz (SiO_2) and an alumina (aluminum 2O_3), borosilicate glass (B-2 O_3 is contained), etc. are fundamentally practical. However, it is desirable that it will be alkali free glass if it takes into consideration to use as a substrate for semiconductor devices, and they are MgO -aluminum 2O_3 - SiO_2 system, 2OPbO - ZnO -B3 system, and aluminum 2O_3 -B- 2O_3 - SiO_2 at such semantics. A system and ZnO -B 2O_3 - SiO_2 A system etc. is desirable.

[0039] The high insulation crystallization glass of MgO -aluminum 2O_3 - SiO_2 system is glass ceramics which make a KOJU light (2MgO , $2\text{aluminum}2\text{O}_3$, and 5SiO_2) the main crystal phase as a nucleation agent including TiO_2 , SnO_2 , ZrO_2 , etc. This type of glass ceramics have high thermal resistance, and the description is in the point that electric insulation is excellent also in the RF region. The example of a presentation and coefficient of thermal expansion of KOJU light system glass ceramics are shown in Table 1.

[0040]

[Table 1]

ガラス組成 (wt%)				熱膨張係数 $\times 10^{-6} (\text{°C})^{-1}$
SiO_2	Al_2O_3	MgO	TiO_2	
40~60	20~30	13~14	9~13	1.5~6.5

[0041] Since the effect of the shrinkage (shrinkage by heat) by heat becomes small so that it is small, a coefficient of thermal expansion is desirable as a substrate for semi-conductors which performs detailed pattern processing. However, since it will lifting-come to be easy of film peeling etc. if a difference with the coefficient of thermal expansion of a semi-conductor thin film is large, it is desirable to use the thing near the coefficient of thermal expansion of a semi-conductor thin film if possible. When such a thing is taken into consideration, SiO_2 is 45 – 57%, and aluminum 2O_3 . 20 – 27%, and MgO TiO_2 11 to 18% 9 – 12% It can be said that KOJU light system glass ceramics are desirable.

[0042] Moreover, when producing the transparency mold LCD, for example, translucency is required of glass ceramics. In such a case, it is good to use the transparent glass ceramics of non-alkali. For example, a coefficient of thermal expansion by the restoration beta-quartz solid solution As glass ceramics which are 1.1 to 3.0×10^{-6} to 6 degree C, there are glass ceramics as shown in Table 2. [a crystal phase]

[0043]

[Table 2]

ガラス組成 (wt%)					熱膨張係数 $\times 10^{-6} (\text{°C})^{-1}$
SiO_2	Al_2O_3	MgO	ZnO	ZrO_2	
64~75	16~25	3~10	0~7	3~10	1.1~3.0

[0044] The 1st of the requirements for a configuration of the invention in this application is using the above glass ceramics as a substrate. Of course, if a suitable device (it protects completely by the insulator layer like the invention in this application) is given, alkali system glass ceramics (Na_2O -aluminum 2O_3 - SiO_2 a system and Li_2O -aluminum 2O_3 - SiO_2 system etc.) can also be used. Moreover, it is able for a coefficient of thermal expansion to coat the glass with which very small (or close to zero) glass ceramics also have the coefficient of thermal expansion of 2.0 to 3.0×10^{-6} degree C, and to ease the difference of a coefficient of thermal expansion with a semi-conductor thin film.

[0045] If the glass ceramics 101 of the above configurations are prepared, the amorphous silicone film 102 will be formed to glass ceramics 101. Membrane formation is performed with a reduced pressure heat CVD method, and a silane (SiH_4) or a disilane (Si_2H_6) is used as membrane formation gas. In addition, thickness -- 50 - 250 nm (typically 100 - 150 nm) -- then, it is good. (Drawing 1 (A))

[0046] Thus, if membranes are formed with a reduced pressure heat CVD method, as a substrate 101 is wrapped in, the amorphous silicone film 102 can be formed to a front face, a rear face, and a side face. In addition, the amorphous silicone film 102 is not formed by the part which the pusher pin for holding a substrate strictly touches. However, it is small if it sees from the whole area.

[0047] Next, it heat-treats and the thermal oxidation film 103 is formed by oxidizing the amorphous silicone film 102 thermally completely. In this case, the amorphous silicone film 102 is the thickness of the thermal oxidation film 103, in order to oxidize thermally completely and to change to the thermal oxidation film 103. It is set to 100 - 500 nm (typically 200 - 300 nm).

[0048] Moreover, the conditions of heat-treatment are the well-known dry cleaning O_2 . Oxidization and sentiment O_2 It cares about with neither of the means, oxidization, steam oxidization, pie ROJIE nick oxidization, oxygen tension oxidization, nor hydrochloric-acid (HCl) oxidization. Processing temperature and the processing time should just set up suitable conditions, after taking a process into consideration.

[0049] In addition, after performing this heat-treatment at the temperature below a slowly cooling point more than the strain point of glass ceramics and holding at that temperature, it is desirable to perform processing in which it cools slowly. If such processing is performed, the cure against shrinkage of glass can be performed to formation and coincidence of the thermal oxidation film. That is, the amount of shrinkage of the substrate by subsequent heat-treatment can be reduced by fully shrinking a substrate beforehand by above-mentioned processing. The technique relevant to this is indicated by JP,8-250744,A.

[0050] Although the thermal oxidation film (oxidation silicone film) 103 is formed as mentioned above, since the amorphous silicone film 102 is formed as it wraps in a substrate 101, as the thermal oxidation film 103 also wraps in a substrate 101, it is formed as mentioned above. That is, since the glass-ceramics substrate 101 is completely wrapped in an insulating silicone film, it becomes possible [preventing the outflow of the component matter].

[0051] In addition, it is Si_3O_2 here. Although the oxidation silicone film expressed is used as an insulating silicone film, otherwise, it is Si_3N_4 . It is also possible to use insulating silicone films, such as an oxidation silicon nitride film expressed with the silicon nitride film expressed or SiO_xN_y .

[0052] In this way, the point using 2 of the important configurations of the invention in this application and glass ceramics and the point of wrapping glass ceramics in an insulating silicone film are attained.

[0053] Next, the bond wafer 104 is prepared. The front face is covered by the thermal oxidation film 105, and, as for the bond wafer 104, the hydrogen placing layer 106 is formed of hydrogen ion (H^+ ion) placing by the ion implantation method.

[0054] In addition, thickness of the thermal oxidation film 105 It is referred to as 200 - 700 nm (typically 400-500nm), and is the dose of a hydrogen ion. It considers as 5×10^{15} - 1×10^{17} ions/ cm^2 (preferably 1×10^{16} - 5×10^{16} ions/ cm^2). With the dose not more than this, formation of a fracture layer becomes difficult and there is a possibility of fracturing to an ion implantation

and coincidence, by the concentration beyond this.

[0055] And to the main front-face side (side which forms TFT) of above-mentioned crystallization glass 101, the bond wafer 104 is given at a room temperature, and it heat-treats lamination and after that at the temperature of 400 – 600 °C (typically 500 degrees C). Since there is no difference in the coefficient of thermal expansion of crystallization glass 101 and the bond wafer 104 not much at this time, problems, such as peeling (film peeling) by thermal stress, can be prevented.

[0056] In this way, when heating down stream processing is completed, the bond wafer 104 is pulled apart and the thermal oxidation film 105 which was some bond wafers 104, and the single-crystal-silicon thin film 107 are made to remain on crystallization glass 101. (Drawing 2 (D))

[0057] It unites with the thermal oxidation film 103 formed at the process of drawing 2 (B), and this thermal oxidation film 105 functions as substrate film.

[0058] Then, a deed and 900–1200 degrees C (typically 950–1050 degrees C) heat-treatment are performed for the touch polish process around 10nm, and the bonding strength of the single-crystal-silicon thin film 107 is heightened. In this way, the single-crystal-silicon thin film 107 can be formed on the glass ceramics 101 completely protected in the periphery enclosure by the thermal oxidation film 103.

[0059] The glass-ceramics substrate shown in drawing 1 (D) produced according to this example has [using a quartz substrate rather than] a sharply cheap manufacturing cost like the former. Moreover, since the substrate periphery enclosure is completely protected with the oxidation silicone film, contamination by the glass component does not occur at a back process.

[0060] [Example 2] This example explains the making process of the semiconductor device which has the configuration of the invention in this application using drawing 3 . The example which really forms the drive circuit and logical circuit which consist of CMOS circuits which specifically combined NTFT (N channel mold TFT) and PTFT (P channel mold TFT) complementary, and the pixel matrix circuit which consists of NTFT(s) on the same substrate is shown.

[0061] In addition, with a logical circuit, it is the digital disposal circuit which has another function, and the generic name of a D/A converter circuit, a memory circuit, a gamma correction circuit, and circuits that perform signal processing which was being conventionally performed by external IC, such as a data-processing circuit, is further meant as the drive circuit represented by the shift register etc.

[0062] First, according to the making process explained using drawing 1 , even formation of a single-crystal-silicon thin film is terminated. And patterning of the obtained single-crystal-silicon thin film is carried out, and barrier layers 303–305 are formed. As for the barrier layer of PTFT of a CMOS circuit, and 304, 303 is [the barrier layer of NTFT of a CMOS circuit and 305] the barrier layers of a pixel matrix circuit, and each thickness is adjusted so that it may be set to 30nm.

[0063] In addition, in this example, the glass ceramics which have ZrO₂:10% of presentation are used SiO₂:65%, 2O₃:25% of aluminum, and MgO:10% as a substrate 301. This substrate 301 has the description in a transparent point. Moreover, 302 is the oxidation silicone film which was made to oxidize an amorphous silicone film thermally and was obtained, and is thickness. It is 400nm.

[0064] In this way, the condition of drawing 3 (A) is acquired. Next, gate dielectric film 306 which consists of oxidation silicone films It forms in 120nm thickness. In addition, an oxidation silicon nitride film or a silicon nitride film can be used for others. Furthermore, it is good also as a laminated structure, combining these insulation silicone film freely.

[0065] If gate dielectric film 306 is formed, it is in the condition. A thermal oxidation process is performed in a 800–1100 degrees C (preferably 1000–1150 degrees C) temperature requirement. Since a thermal oxidation reaction advances by the interface of a barrier layer and gate dielectric film at this time, a barrier layer is thin-film-ized and the thickness of gate dielectric film increases. This configuration is effective when suppressing dielectric breakdown of the gate dielectric film by the edge-thinning phenomenon (phenomenon in which the thermal oxidation film becomes extremely thin at the barrier layer edge).

[0066] Moreover, although an inert atmosphere or an oxidizing atmosphere is sufficient as the

ambient atmosphere of heat-treatment at this time, it is dry cleaning O₂. It is desirable when acquiring an interface property with the most stable ambient atmosphere. Moreover, the membranous quality of gate dielectric film itself also improves by heat-treating at an elevated temperature.

[0067] Next, the gate electrodes 307-309 which consist of a crystalline silicone film which presents N type conductivity are formed on gate dielectric film 306. Thickness of the gate electrodes 307-309 What is necessary is just to choose in the range of 200 - 300 nm. (Drawing 3 (B))

[0068] If the gate electrodes 307-309 are formed, gate dielectric film 306 will be etched by the dry etching method by using the gate electrodes 307-309 as a mask. It is CHF₃ in order to etch the silicon oxide film in this example. Gas is used.

[0069] It will be in the condition that gate dielectric film remains only directly under a gate electrode (and gate wiring) according to this process. Of course, the part which remained in the bottom of a gate electrode is a part which actually functions as gate dielectric film.

[0070] Next, the field used as PTFT is hidden with the resist mask 310, and the impurity (this example Lynn) which gives N type is added by the ion implantation method or the plasma doping method. Since it becomes a LDD (Lightly Doped Drain) field behind, a part of low concentration impurity ranges 311 and 312 formed at this time are 1×10^{17} - 5×10^{18} atoms/cm³. Lynn is added by concentration. (Drawing 3 (C))

[0071] Next, after removing the resist mask 310, the field used as NTFT is hidden with the resist mask 313, and the impurity (this example boron) which gives P type is added by the ion implantation method or the plasma doping method. The low concentration impurity range 314 is formed at this time as well as the case of Lynn. (Drawing 3 (D))

[0072] In this way, if the condition of drawing 3 (D) is acquired, after removing the resist mask 313, sidewalls 315-317 are formed using the etchback method. Sidewalls 315-317 consist of this examples using a silicon nitride film.

[0073] In addition, if the thickness of the oxidation silicone film 302 which protects the side face of crystallization glass 301 is thin when using an oxidation silicone film as an ingredient of a sidewall, also when it is no longer an etchback process, it may happen. Although the outflow of a glass component does not pose a problem so much since a glass side face is smaller enough than the whole area, thickness of the silicon oxide film 302 is thickened beforehand, and you may make it after an etchback process remain.

[0074] In this way, if sidewalls 315-317 are formed, the field which serves as PTFT again will be hidden with the resist mask 318, and Lynn will be added. At this time, a dose is made higher than a previous addition process.

[0075] The source field 319 of NTFT which constitutes a CMOS circuit according to the addition process of this Lynn, the drain field 320, the low concentration impurity range (LDD field) 321, and the channel formation field 322 demarcate. Moreover, the source field 323 of NTFT which constitutes a pixel matrix circuit, the drain field 324, the low concentration impurity range (LDD field) 325, and the channel formation field 326 demarcate. (Drawing 4 (A))

[0076] Next, after removing the resist mask 315, the field which serves as NTFT with the resist mask 327 is hidden, and boron is added with a dose higher than previously. The source field 328 of PTFT which constitutes a CMOS circuit according to the addition process of this boron, the drain field 329, the low concentration impurity range (LDD field) 330, and the channel formation field 331 demarcate. (Drawing 4 (B))

[0077] If the addition process of the impurity to a barrier layer is completed as mentioned above, it will heat-treat by furnace annealing, laser annealing, or lamp annealing, and the added impurity will be activated. Moreover, the damage which the barrier layer received at the time of addition of an impurity is also recovered at this time.

[0078] In addition, an impurity element is not added at all but the channel formation fields 322, 326, and 331 are genuineness fields genuineness or substantially. The high impurity concentration which gives N type or P type as it is genuineness substantially here being below the spin density of a channel formation field, or this high impurity concentration 1×10^{14} - 1×10^{17} atoms/cm³ It points out having fitted in the range.

[0079] Next, silicon nitride film of 25nm thickness The 1st interlayer insulation film 332 which consists of a cascade screen with the oxidation silicone film of 900nm thickness is formed. And the source electrodes 333-335 and the drain electrodes 336 and 337 which consist of cascade screens which consist of Ti/aluminum/Ti (thickness is 100/500/100 nm to order) are formed.

[0080] Next, the 2nd interlayer insulation film which consists of a laminated structure of the oxidation silicone film (not shown) of 338 or 20nm thickness of silicon nitride films of 50nm thickness and the polyimide film 339 of 1-micrometer thickness is formed. In addition, other organic nature resin film, such as an acrylic and a polyamide, can be used besides polyimide. Moreover, the silicon oxide film of 20nm thickness in this case functions as an etching stopper at the time of carrying out dry etching of the polyimide film 339.

[0081] If the 2nd interlayer insulation film is formed, the polyimide film 339 will be etched in the field which forms auxiliary capacity behind, and opening will be prepared. At this time, it considers as the condition of whether it leaves only a silicon nitride film 338 to the pars basilaris ossis occipitalis of opening, or to leave a silicon nitride film 338 and an oxidation silicone film (not shown).

[0082] And the titanium film of 300 nm thickness is formed and the black mask 340 is formed by patterning. This black mask 340 is arranged at the part which requires protection from light, such as TFT and the wiring section, on a pixel matrix circuit.

[0083] At this time, the drain electrode 337 and the black mask 340 of a pixel matrix circuit will be in the condition of having approached on both sides of the silicon nitride film 338 (or cascade screen of a silicon nitride film and an oxidation silicone film), by the above-mentioned opening. The black mask 340 is held to fixed potential, and the auxiliary capacity 341 which uses the drain electrode 337 as a lower electrode, and uses the black mask 340 as an up electrode consists of this examples. In this case, since [that a dielectric is very thin] specific inductive capacity is high, it is possible to secure a big capacity.

[0084] In this way, if the black mask 340 and the auxiliary capacity 341 are formed, the polyimide film of 1-micrometer thickness will be formed and it will consider as the 3rd interlayer insulation film 342. And the pixel electrode 343 which forms a contact hole and consists of transparence electric conduction film (typically ITO) is formed in the thickness of 120nm.

[0085] To the last, it is in a hydrogen ambient atmosphere. 350 degrees C of heat-treatment of about 2 hours are performed, and the whole component is hydrogenated. In this way, a active-matrix substrate as shown in drawing 4 (C) is completed. Since TFT formed by this example uses the single-crystal-silicon thin film as a barrier layer, it has the very high engine performance.

[0086] for example, a subthreshold level multiplier (S value) -- NTFT and PTFT -- both -- 60 - 80 mV/decade it is -- electric field effect mobility (mobility) of NTFT Mobility of 300-700cm²/Vs and PTFT 200-400cm²/Vs It realizes.

[0087] Moreover, since the single-crystal-silicon thin film is formed by the smart cutting method, the homogeneity of the thickness of the barrier layer on a substrate can be raised. When suppressing the property variation of the pixel TFT (TFT which constitutes a pixel matrix circuit) of which high homogeneity is required especially, the invention in this application is very effective.

[0088] Moreover, if a active-matrix substrate is completed, and a liquid crystal layer is pinched between opposite substrates according to a well-known cel **** process, the liquid crystal display (transparency mold) of a active-matrix mold will be completed.

[0089] In addition, the structure of a active-matrix substrate is not limited to this example, but can be made into all structures. That is, if it is the structure where the requirements for a configuration of the invention in this application may be satisfied, an operation person can design TFT structure, circuit arrangement, etc. freely.

[0090] For example, although the transparence electric conduction film is used as a pixel electrode in this example, if this is changed into reflexible high ingredients, such as aluminium alloy film, the active matrix liquid crystal display of a reflective mold is easily realizable. Moreover, the glass ceramics which serve as a parent of a active-matrix substrate in this case do not need to be transparent, and may use the substrate of protection-from-light nature.

[0091] Moreover, in this example, since glass ceramics are used as a active-matrix substrate,

when using a glass substrate as an opposite substrate, it is congenial. temporary -- a active-matrix substrate -- ** -- if it carries out and a quartz is used, curvature may arise from the difference in the coefficient of thermal expansion of a quartz and glass between a active-matrix substrate and an opposite substrate

[0092] [Example 3] This example explains the example in the case of forming the insulating silicone film for protecting glass ceramics in the configuration of examples 1 and 2 with a reduced pressure heat CVD method.

[0093] First, it is SiO₂ as a substrate. : 52.5, aluminum 2O₃:26.5, MgO:11.9, and TiO₂:11.4 The glass ceramics used as a presentation component are prepared. This is the KOJU light system glass ceramics of non-alkali which used TiO₂ as a nucleation agent.

[0094] Next, an oxidation silicon nitride film is formed to the front face, rear face, and side face of glass ceramics. At this example, it is a silane (SiH₄) as membrane formation gas. An oxidation silicon nitride film is formed with the reduced pressure heat CVD method using nitrous oxide (N₂O).

[0095] In this case, membrane formation temperature Carrying out by 800 – 850 ** (this example 850 **), the flow rate of each membrane formation gas is SiH₄:10 – 30sccm and N₂O. : 300 – 900sccm It carries out. Moreover, reaction pressure 0.5 – 1.0torr Then, it is good.

[0096] Moreover, it is if a silane, a nitrogen dioxide (N₂O), or a nitrogen monoxide (NO) is used as membrane formation gas. An oxidation silicon nitride film can also be formed at the temperature of 600 – 650 **. In that case, reaction pressure 0.1 – 1.0torr Carrying out, each quantity of gas flow is SiH₄:10 – 30sccm and NO₂. Or NO : 300 – 900sccm Then, it is good.

[0097] In order to form an oxidation silicon nitride film with a reduced pressure heat CVD method in the case of this example, the whole surface of glass ceramics serves as a form wrapped in an insulator layer. Moreover, a silicon nitride film can also be formed as a protective coat of glass ceramics by differing membrane formation gas.

[0098] In that case, it is the JIKURORU silane (SiH₂Cl₂) of 40 – 50sccm as membrane formation gas. 200 – 250sccm Ammonia (NH₃) is used and it is membrane formation temperature. 750–800 ** and reaction pressure 0.1 – 0.5torr Then, it is good.

[0099] Although the silicon nitride film was the optimal insulator layer for preventing the outflow of a glass component, since its stress was strong, it was unsuitable as substrate film of TFT. However, in the invention in this application, since a silicon nitride film is formed in a front face and a rear face even if there are few glass ceramics, the stress of a silicon nitride film is offset on the both sides of a substrate, and the curvature of a substrate etc. is not generated.

[0100] [Example 4] This example shows the example in the case of using the insulating silicone film which formed membranes with the reduced pressure heat CVD method as gate dielectric film in the example 1 thru/or the example 2. Drawing 5 is used for explanation. The condition which shows in drawing 5 is in the condition immediately after etching gate dielectric film, after forming a gate electrode.

[0101] In drawing 5, it is an oxidation silicon nitride film used as a protective coat (substrate film) for 501 to prevent glass ceramics and for 502 prevent the outflow of the component matter from glass ceramics. After forming barrier layers 503–505 in the front-face side of glass ceramics 501 and forming gate dielectric film, the gate electrodes 506–508 are formed.

[0102] Gate dielectric film 509–511 remains directly under a gate electrode by performing dry etching by using these gate electrodes 506–508 as a mask.

[0103] The point using the insulating silicone film (this example oxidation silicon nitride film) which formed membranes with the reduced pressure heat CVD method as gate dielectric film has the most important configuration of this example. That is, the point that gate dielectric film is also formed by all the fields by the side of the front face of glass ceramics 501, a rear face, and a side face is the description.

[0104] Therefore, when the etching process of gate dielectric film (oxidization silicon nitride film) is completed (condition of drawing 5), in the front-face side of a substrate, except the part by which the mask was carried out with the gate electrode, it is removed completely and the oxidization silicon nitride film 512 remains in the rear face and side face of a substrate as it is. In addition, although the oxidation silicon nitride film formed in the side face will be removed

depending on conditions, even if a side face will be removed, it is satisfactory.

[0105] With the configuration of this example, even if a rear face and a side face may be put to the etchant or etching gas which can etch an oxidization silicon nitride film at a next process, it can leave the oxidization silicon nitride film 502 which formed membranes directly to glass ceramics 501. That is, it is possible to prevent the outflow of the component matter from a glass substrate thoroughly.

[0106] [Example 5] Although the crystalline silicone film which presents N type conductivity as a gate electrode is used in the example 2, all ingredients can be used if it is the ingredient which has conductivity. When producing the liquid crystal display for accepting reality especially, since the area of a pixel matrix circuit becomes large, it is desirable to use the small ingredient of wiring resistance.

[0107] In such a case, it is desirable to use the ingredient which uses aluminum or aluminum as a principal component as a gate electrode. At this example, it is 2wt(s)% as a gate electrode. The aluminum film containing a scandium is used.

[0108] When using the ingredient which uses aluminum as a principal component as a gate electrode, it is good to use the technique indicated by JP,7-135318,A by this invention persons. In this official report, the oxide film on anode which anodizes a gate electrode instead of the sidewall used in the example 1, and is obtained is used.

[0109] It becomes possible to form small gate wiring of wiring resistance by using the ingredient which uses aluminum or aluminum as a principal component as a gate electrode like this example, and a active-matrix substrate with a quick speed of response can be produced.

[0110] In addition, this example can be combined with the configuration of examples 1-4.

[0111] [Example 6] In an example 2, it is effective to add the impurity element for controlling the threshold electrical potential difference (V_{th}) of TFT in a barrier layer. Since what is necessary is to just be added by even the channel formation field at least, as long as this impurity element is before formation of a gate electrode, it may be added any time.

[0112] When adding in addition to the time of membrane formation, means, such as addition by the ion implantation method or the plasma doping method, addition by the diffusion out of a gaseous phase, and addition by the diffusion out of solid phase, can be used. Since addition alternative in condition of changing the impurity added by NTFT and PTFT is possible for these means, they are effective.

[0113] Moreover, if V_{th} is moved to a plus side and it will be made to move to a minus side as an impurity element to add using 13 group element (boron, a gallium, or indium), 15 elements (Lynn, arsenic, or antimony) will be used.

[0114] In addition, this example can be combined with the configuration of examples 1-5.

[0115] [Example 7] This example explains the example in the case of using the DLC (Diamond Like Corbon) film as a heat sink on the 3rd interlayer insulation film 342 (referring to drawing 4 (C)) in the active-matrix substrate explained in the example 1.

[0116] Although the structure shown in drawing 6 is fundamentally the same as the structure of drawing 4 (C), it differs in that the DLC film 601 is formed on the 3rd interlayer insulation film 342.

[0117] DLC is an ingredient with the high degree of hardness which uses as a principal component the carbon or carbon in which the physical properties like a diamond are shown. Moreover, it is also called i-carbon and is sp^3 . Association is constituted as a subject.

[0118] A diamond is an ingredient with the highest thermal conductivity (it is about ten to 20 W/cm-k at a room temperature) in a room temperature, and shows thermal conductivity also with the expensive DLC film in which physical properties equivalent to it are shown. It is made to function as a heat sink in this example using the height of the thermal conductivity.

[0119] Moreover, since the DLC film is excellent in adhesion with the organic nature resin film, when preparing a heat sink on it, using the organic nature resin film as an interlayer insulation film, it is a very effective ingredient.

[0120] In addition, as a membrane formation means of the DLC film, the gaseous-phase forming-membranes methods, such as a plasma-CVD method, an ECR plasma-CVD method, a spatter, the ion beam spatter method, and ionization vacuum deposition, can be used.

[0121] Moreover, a hydrocarbon is used as material gas at the time of forming the DLC film. As a hydrocarbon, unsaturated hydrocarbon, such as saturated hydrocarbon, such as methane, ethane, and a propane, ethylene, and acetylene, is mentioned. Moreover, one piece or plurality may use the halogenated hydrocarbon permuted by the halogen among the hydrogen of a hydrocarbon molecule.

[0122] Moreover, it is effective to add the hydrogen other than a hydrocarbon. If hydrogen is added, the hydrogen radical in the inside of the plasma will increase, the excessive hydrogen in the film is drawn out, and the effectiveness of raising membraneous quality can be expected. At this time, the ratio of the hydrogen quantity of gas flow to all quantities of gas flow is preferably [50 - 70% of] good 30 to 90%. If there are too many these ratios, a membrane formation rate will decrease, and if too few, the drawing effectiveness of excessive hydrogen will be lost.

[0123] Furthermore, helium can also be added as carrier gas which dilutes material gas, and, in the case of a spatter, an argon may be added as sputtering gas. Moreover, the thing which is indicated by JP,6-208721,A and which add 13 to 15 group's element like is also effective.

[0124] moreover, reaction pressure 5 - 1000mTorr -- 10 - 100mTorr is preferably good. High-frequency power usually uses 13.56MHz. RF power impressed at this time -- 0.01 - 1 W/cm² -- it considers as 0.05 - 0.5 W/cm² preferably. Furthermore, it is [as opposed to / in adding the excitation effectiveness by 2.45GHz microwave, in order to promote decomposition of material gas **** / the excitation space] 875. It is also effective to form the magnetic field of a gauss and to use electron spin resonance.

[0125] In this example, as material gas, 50sccm(s) are introduced for methane, 50sccm(s) are introduced into the reaction space of plasma-CVD equipment for hydrogen gas; and, in a membrane formation pressure, 10mTorr(s) and RF power make temperature of 100W and reaction space a room temperature. Moreover, it is substrate bias. The direct-current bias of 200V is added and eburnation of membraneous quality and improvement in a degree of hardness are aimed at by forming electric field in which the particle in the plasma (ion) carries out incidence on a forming face-ed.

[0126] Moreover, the DLC film has at least about 10nm of abrasion resistance with very high thickness. Therefore, with the structure shown in drawing 7, the effectiveness of protecting the 3rd interlayer insulation film 342 from a mechanical impact is acquired. This is very effective to the friction process by a rubbing process etc.

[0127] In addition, coefficient of friction has a dependency in DLC thickness, and becomes so small that DLC thickness becomes thick. Therefore, although there should just be 10nm or more of thickness of the DLC film, since the electric field impressed to liquid crystal will become weak if too thick, about 10-50nm is good.

[0128] in addition, JP,3-72711,B according to this invention persons about the still more detailed membrane formation approach of the DLC film, and membrane formation equipment -- said -- 4-27690 a number official report -- said -- 4-27691 It is good to refer to a number official report.

[0129] With the structure of drawing 7 obtained with the above configurations, since the heat generated in TFT is missed at high effectiveness, the malfunction by accumulation can be prevented. It is better to use such a thermal protection system especially for the liquid crystal display used for projection type electronic equipment.

[0130] [Example 8] The example which constituted the liquid crystal display is shown in drawing 7 using the active-matrix substrate which has the configuration shown in examples 1-7. Drawing 7 is a part equivalent to the body of a liquid crystal display, and is also called a liquid crystal module.

[0131] In drawing 7, as 701 wraps glass ceramics and 702 wraps the whole surface of glass ceramics, it is the formed insulating silicone film. Although an insulating silicone film does not exist in the side face used as a cutting plane in cutting down two or more active-matrix substrates by multiple picking from the size version substrate, it is the description of the invention in this application that an insulating silicone film remains in the other side face. Of course, since it has completed as a active-matrix substrate, even if it is not protected with an insulating silicone film, there is no fear of the component matter flowing out.

[0132] And two or more TFT(s) are formed as it is also with a single-crystal-silicon thin film on the substrate of such a configuration. These TFT(s) constitute the pixel matrix circuit 703, the gate side drive circuit 704, the source side drive circuit 705, and a logical circuit 706 on a substrate. And the opposite substrate 707 is stuck to such a active-matrix substrate. A liquid crystal layer (not shown) is pinched between a active-matrix substrate and the opposite substrate 707.

[0133] Moreover, it is desirable to arrange altogether the side face of a active-matrix substrate and the side face of an opposite substrate except for one certain side with the configuration shown in drawing 7. The number of multiple picking from the size version substrate can be efficiently increased by carrying out like this. Moreover, in the one above-mentioned side, some opposite substrates are removed, some active-matrix substrates are exposed, and FPC (flexible print circuit) 708 is attached there. IC chip (semiconductor circuit which consists of MOSFETs formed on single crystal silicon) may be carried here if needed.

[0134] Since TFT which constitutes the circuit of this example has the very high working speed, it can really form the digital disposal circuit driven with the high frequency of hundreds of MHz – several GHz on the same substrate as a pixel matrix circuit. That is, the liquid crystal module shown in drawing 7 embodies a system-on panel.

[0135] In addition, although this example has indicated the case where the invention in this application is applied to a liquid crystal display, it is also possible to constitute a active-matrix mold EL (electroluminescence) display etc. Moreover, it is also possible to form the image sensors possessing a photo-electric-conversion layer etc. on the same substrate.

[0136] In addition, the equipment which changes an optical signal into an electrical signal like an above-mentioned liquid crystal display, EL indicating equipment, and image sensors, or has the function to change an electrical signal into an optical signal is defined as an electro-optic device. If the invention in this application is the electro-optic device which can be formed on the substrate which has an insulating front face using a semi-conductor thin film, it is applicable to all.

[0137] [Example 9] The invention in this application can also constitute the thin film integrated circuit (or semiconductor circuit) which integrated not only an electro-optic device as shown in the example 8 but the functional circuit. For example, arithmetic circuits, such as a microprocessor, the high frequency circuit for pocket devices (MMIC: a microwave module and IC), etc. can also be constituted.

[0138] Furthermore, it is also possible to constitute the semiconductor circuit of the three-dimensional structure taking advantage of the advantage of TFT using a thin film, and to constitute the VLSI circuit integrated by super-high density. Thus, it is possible to constitute the semiconductor circuit which was very rich in functionality using TFT of the invention in this application. In addition, with a semiconductor circuit, it is defined as the electrical circuit which performs control of an electrical signal, and conversion using a semi-conductor property in this specification.

[0139] [Example 10] This example shows an example of electronic equipment (application product) which carried the electro-optic device shown in the example 8 or the example 9, and the semiconductor circuit to drawing 8. In addition, with electronic equipment, it is defined as the product carrying a semiconductor circuit and/or an electro-optic device.

[0140] As electronic equipment which can apply the invention in this application, a video camera, an electronic "still" camera, a projector, a head mount display, car navigation, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, PHS, etc.), etc. are mentioned.

[0141] Drawing 8 (A) is a cellular phone and consists of a body 2001, the voice output section 2002, the voice input section 2003, an indicating equipment 2004, an actuation switch 2005, and an antenna 2006. The invention in this application is applicable to the voice output section 2002, the voice output section 2003, and display 2004 grade.

[0142] Drawing 8 (B) is a video camera and consists of a body 2101, an indicating equipment 2102, the voice input section 2103, an actuation switch 2104, a dc-battery 2105, and the television section 2106. The invention in this application is applicable to a display 2102, the voice

input section 2103, and television section 2106 grade.

[0143] Drawing 8 (C) is a mobile computer (Mobile computer), and consists of a body 2201, the camera section 2202, the television section 2203, an actuation switch 2204, and a display 2205. The invention in this application is applicable to the camera section 2202, the television section 2203, and display 2205 grade.

[0144] Drawing 8 (D) is a head mount display, and consists of a body 2301, an indicating equipment 2302, and the band section 2303. This invention is applicable to a display 2302.

[0145] Drawing 8 (E) is a rear mold projector, and consists of a body 2401, the light source 2402, an indicating equipment 2403, a polarization beam splitter 2404, reflectors 2405 and 2406, and a screen 2407. This invention is applicable to a display 2403.

[0146] Drawing 8 (F) is a front mold projector, and consists of a body 2501, the light source 2502, a display 2503, optical system 2504, and a screen 2505. This invention is applicable to a display 2503.

[0147] As mentioned above, the applicability of the invention in this application is very wide, and applying to the electronic equipment of all fields is possible. Moreover, if it is the product which needs an electro-optic device and a semiconductor circuit, it is applicable to all.

[0148]

[Effect of the Invention] In the invention in this application, in order are cheap, and to use the possible glass ceramics of the formation of the size version and to utilize glass ceramics at insurance (contamination being reliable), the configuration of glass of protecting a front face and a rear face (preferably whole periphery enclosure surface) with an insulating silicone film at least is adopted.

[0149] And a system-on panel can be realized by producing TFT using the single-crystal-silicon thin film formed on it using the smart cutting method, and a highly efficient electro-optic device and a highly efficient semiconductor circuit, and the electronic equipment which carried them further can be offered by the low price.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the making process of a single-crystal-silicon thin film.

[Drawing 2] Drawing showing the process of the smart cutting method.

[Drawing 3] Drawing showing the making process of a thin film transistor.

[Drawing 4] Drawing showing the making process of a thin film transistor.

[Drawing 5] Drawing showing the configuration of a thin film transistor.

[Drawing 6] Drawing showing the configuration of a thin film transistor.

[Drawing 7] Drawing showing the configuration of a liquid crystal module.

[Drawing 8] Drawing showing the configuration of electronic equipment.

[Translation done.]

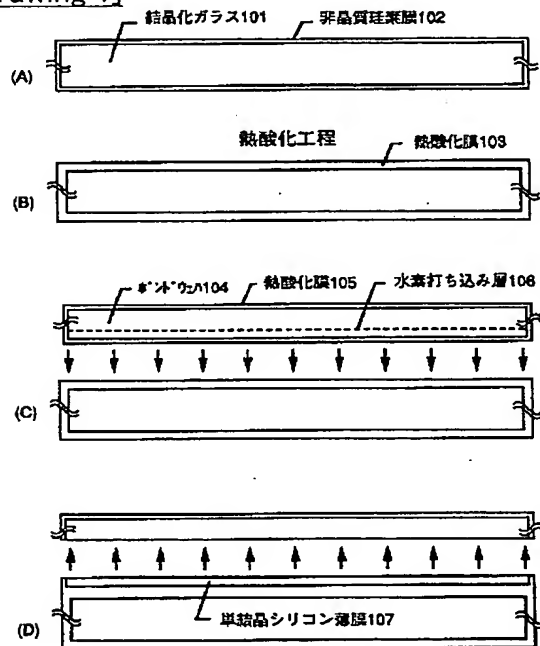
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

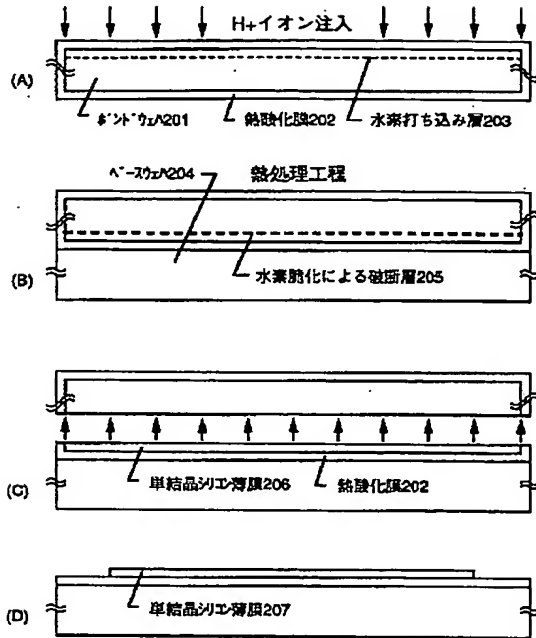
DRAWINGS

[Drawing 1]

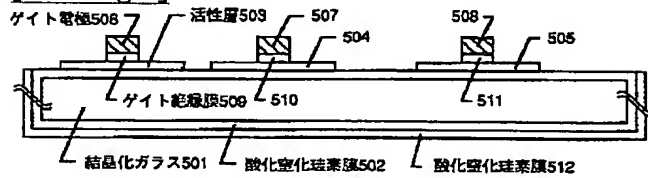


[Drawing 2]

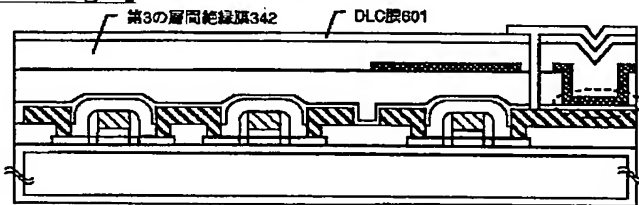
prior art



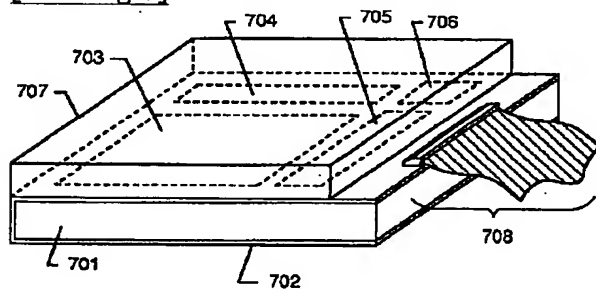
[Drawing 5]



[Drawing 6]

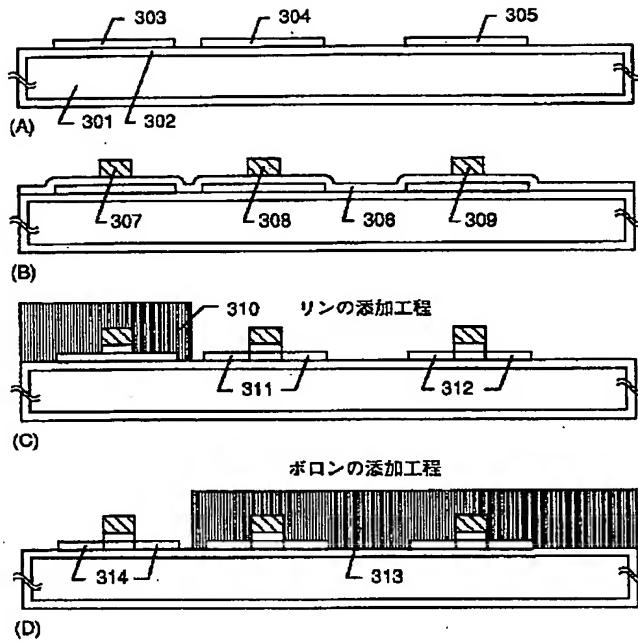


[Drawing 7]



- | | |
|---------------|--------------|
| 701 結晶化ガラス | 705 ソース側駆動回路 |
| 702 絶縁性珪素膜 | 706 ロジック回路 |
| 703 画素マトリクス回路 | 707 対向基板 |
| 704 ゲート側駆動回路 | 708 FPC |

[Drawing 3]



301 結晶化ガラス

302 絶縁性珪素膜

303~305 活性層

306 ゲイト絶縁膜

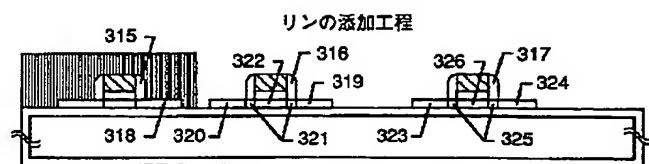
307~309 ゲイト電極

310、313 レジストマスク

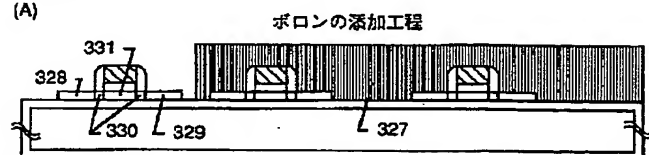
311、312 低濃度不純物領域 (リン)

314 低濃度不純物領域 (ボロン)

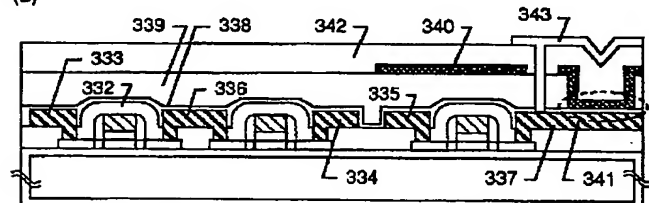
[Drawing 4]



(A)



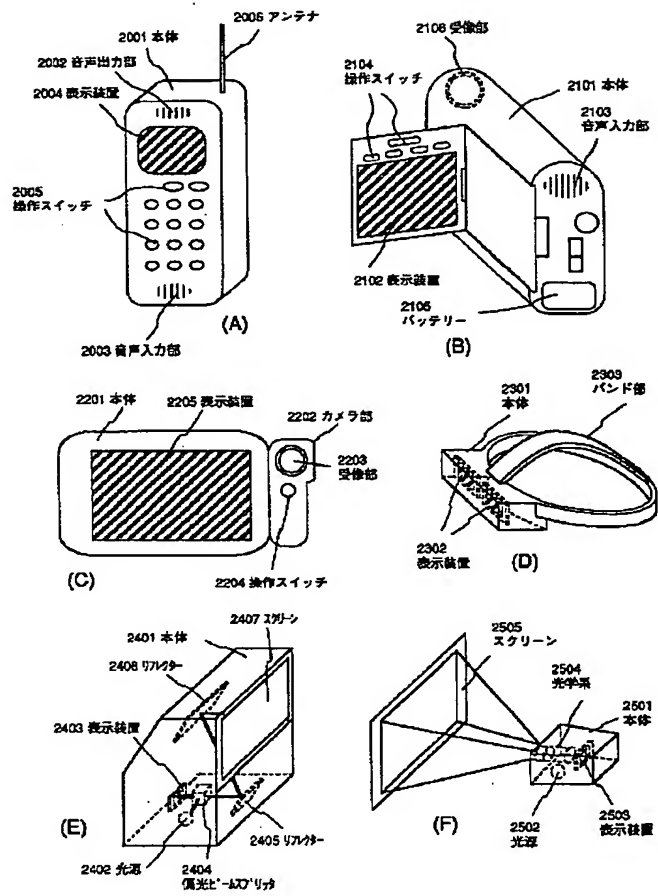
(B)



(C)

- | | |
|-----------------------|----------------|
| 315～317 サイドウォール | 336、337 ドレイン電極 |
| 318、327 レジストマスク | 338 窒化珪素膜 |
| 319、323、328 ソース領域 | 339 ポリイミド膜 |
| 320、324、329 ドレイン領域 | 340 ブラックマスク |
| 321、325、330 低濃度不純物領域 | 341 補助容量 |
| 322、326、331 チャンネル形成領域 | 342 第3の層間絶縁膜 |
| 332 第1の層間絶縁膜 | 343 画素電極 |
| 333、334、335 ソース電極 | |

[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163363

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl. ⁶ H 0 1 L 29/786 21/336	識別記号	F I H 0 1 L 29/78	6 2 6 C 6 1 8 Z 6 2 7 D 6 2 7 E 6 2 7 F
審査請求 未請求 請求項の数6 F D (全 13 頁)			
(21) 出願番号	特願平9-337670	(71) 出願人 000153878	
(22) 出願日	平成9年(1997)11月22日	株式会社半導体エネルギー研究所	
		神奈川県厚木市長谷398番地	
		(72) 発明者 山崎 舜平	
		神奈川県厚木市長谷398番地 株式会社半	
		導体エネルギー研究所内	

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 高性能な電気光学装置や半導体回路、さらにはそれらを搭載した電子機器を低価格で提供する。

【解決手段】 スマートカット法を利用して得られる単結晶シリコン薄膜を、高耐熱性ガラスである結晶化ガラス上に形成する。その際、成分物質による汚染を防ぐために結晶化ガラス全面を絶縁性シリコン膜で保護する。こうすることで高性能な半導体装置を低価格で提供することが可能となる。

【特許請求の範囲】

【請求項 1】 歪点が 750℃以上であるガラス基板と、前記ガラス基板の少なくとも表面及び裏面に対して形成された絶縁性シリコン膜と、前記絶縁性シリコン膜上に形成された単結晶シリコン薄膜をチャネル形成領域とする TFT と、を構成に含むことを特徴とする半導体装置。

【請求項 2】 歪点が 750℃以上であるガラス基板と、前記ガラス基板の外周囲を覆って形成された絶縁性シリコン膜と、前記絶縁性シリコン膜上に形成された単結晶シリコン薄膜をチャネル形成領域とする TFT と、を構成に含むことを特徴とする半導体装置。

【請求項 3】 請求項 1 または請求項 2 において、前記ガラス基板は結晶化ガラスであることを特徴とする半導体装置。

【請求項 4】 歪点が 750℃以上であるガラス基板の全面に対して非晶質半導体薄膜を形成する工程と、第 1 の加熱処理により前記非晶質半導体薄膜を酸化し、完全に熱酸化膜に変成させる工程と、スマートカット法により前記ガラス基板の主表面側に単結晶シリコン薄膜を形成する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 5】 歪点が 750℃以上であるガラス基板の全面に対して減圧熱 CVD 法により絶縁性シリコン膜を形成する工程と、スマートカット法により前記ガラス基板の主表面側に単結晶シリコン薄膜を形成する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 6】 請求項 4 または請求項 5 において、前記ガラス基板とは結晶化ガラスであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】**【0001】**

【発明が属する技術分野】 本明細書で開示する発明は、絶縁表面を有する基板上に形成された単結晶半導体薄膜を利用した半導体装置に関する。特に、基板として安価で耐熱性の高い結晶化ガラス（セラミックスガラスとも呼ばれる）を用いる。

【0002】 なお、本明細書中では薄膜トランジスタ（以下、TFT）、半導体回路、電気光学装置および電子機器を全て「半導体装置」に範疇に含めて扱う。即ち、半導体特性を利用して機能しうる装置全てを半導体装置と呼ぶ。

【0003】 従って、上記特許請求の範囲に記載された半導体装置は、TFT 等の単体素子だけでなく、それを集積化した半導体回路や電気光学装置およびそれらを部品として搭載した電子機器をも包含する。

【0004】

【従来の技術】 近年、絶縁表面を有する基板上に形成さ

れた半導体薄膜（厚さ数十～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは特に画像表示装置（例えば液晶表示装置：LCD）のスイッチング素子としての開発が急がれている。

【0005】 また、液晶表示装置においてはマトリクス状に配列された画素を個々に制御する画素マトリクス回路、画素マトリクス回路を制御するドライバ回路、さらに外部からのデータ信号を処理するロジック回路（演算回路、メモリ回路、クロックジェネレータなど）等を同一基板上に作り込む試みがなされている。

【0006】 その様なモノリシック型 LCD を実現するために、さらに動作速度の速い TFT 回路が必要とされ、そのために極めてキャリア移動度の高い半導体層が必要となってきた。

【0007】 その様な流れの中で、SOI 技術が注目されている。特に、単結晶シリコン薄膜を合成石英などの基板上に形成する技術としてスマートカット法と呼ばれる技術が注目されている。

【0008】 スマートカット法（1996年、フランスの SOITEC 社が発表）とは貼り合わせ SOI 技術の一つであり、水素脆化を積極的に利用するものである。ここでスマートカット法の簡単な手順を図 2 に説明する。

【0009】 まず、ボンドウエハ 201 を熱酸化することで熱酸化膜 202 を形成し、その後、イオンインプラネーション法により水素イオン（H⁺）を添加する。水素イオンの添加工程によってボンドウエハ 201 内には、水素で終端された微小な空洞（micro cavity）203 が形成される。本明細書では、この微小な空洞 203 を水素打ち込み層と呼ぶことにする。（図 2（A））

【0010】 次に、上記処理を終えたボンドウエハ 201 と、後に薄膜の支持基板となるベースウェハ 204 とを室温で貼り合わせ、500℃程度の加熱処理を施す。この加熱処理によって上述の水素打ち込み層では水素脆化が生じ、水素脆化による破断層 205 が形成される。（図 2（B））

【0011】 こうして水素脆化による破断層 205 が形成されると単結晶シリコン薄膜 206 のみを残して容易にボンドウエハ 201 が剥がれる。（図 2（C））

【0012】 従って、ベースウェハ 204 上には下地となる熱酸化膜 202 と単結晶シリコン薄膜 206 が形成される。なお、この時の単結晶シリコン薄膜 206 の膜厚は図 2（A）における熱酸化膜 202 の膜厚と水素イオン注入の打ち込み深さによって決定される。

【0013】 こうして図 2（C）の状態が得られたら、10nm オーダーの浅い研磨（タッチポリッシュ）を行い、さらに 1000～1100℃程度の温度で 2 時間ぐらいの加熱処理を行って結合力の強い単結晶シリコン薄膜 207 を得る。（図 2（D））

【0014】 以上の様に、スマートカット法は非常に簡

易な手段で単結晶シリコン薄膜を得られるという利点を有している。また、これまでの貼り合わせ S O I 基板ほど単結晶シリコン層の膜厚が研磨精度に影響されないで、非常に膜厚の均一性が高い。

【0015】また、最近ではこのスマートカット法を利用して合成石英の上に単結晶シリコン薄膜を形成する試みもなされている。(阿部孝夫：第24回アモルファス物質の物性と応用セミナーテキスト，p. 25-32, 1997)

【0016】しかしながら、この報告によると合成石英とシリコンウェハ（ボンドウェハ）とを貼り合わせると熱膨張係数の差が大きいため300℃程度の加熱で破壊が起こる。従って、同報告ではボンドウェハを200℃前後で貼り合わせた後、50μmまで平面研磨（またはエッチング）して、その後で500℃の加熱処理を施して貼り合わせを完了している。

【0017】

【発明が解決しようとする課題】以上の様に、合成石英上にスマートカット法を利用して単結晶シリコン層を形成するには、熱膨張係数の差という問題があって貼り合わせ工程が煩雑になるという欠点がある。

【0018】また、単結晶シリコン層を利用して T F T を形成し、モノリシック型 L C D を実現するという目的を考えると、高価な石英基板を用いることは全体のコストを増加させるため、好ましいものではない。

【0019】本願発明は上記問題点を鑑みてなされたものであり、スマートカット法で得られる単結晶シリコン薄膜を用いた半導体装置を、安価な製造コストで実現するための技術を提供することを課題とする。

【0020】

【課題を解決するための手段】本明細書で開示する発明の構成は、歪点が750℃以上であるガラス基板と、前記ガラス基板の少なくとも表面及び裏面に対して形成された絶縁性シリコン膜と、前記絶縁性シリコン膜上に形成された単結晶シリコン薄膜をチャンネル形成領域とする T F T と、を構成に含むことを特徴とする。

【0021】また、他の発明の構成は、歪点が750℃以上であるガラス基板と、前記ガラス基板の外周囲を覆って形成された絶縁性シリコン膜と、前記絶縁性シリコン膜上に形成された単結晶シリコン薄膜をチャンネル形成領域とする T F T と、を構成に含むことを特徴とする。

【0022】また、他の発明の構成は、歪点が750℃以上であるガラス基板の全面に対して非晶質半導体薄膜を形成する工程と、第1の加熱処理により前記非晶質半導体薄膜を酸化し、完全に熱酸化膜に変成させる工程と、スマートカット法により前記ガラス基板の主表面側に単結晶シリコン薄膜を形成する工程と、を含むことを特徴とする。

【0023】また、他の発明の構成は、歪点が750℃以上であるガラス基板の全面に対して減圧熱 C V D 法により絶縁性シリコン膜を形成する工程と、スマートカッ

ト法により前記ガラス基板の主表面側に単結晶シリコン薄膜を形成する工程と、を含むことを特徴とする。

【0024】本願発明の重要な構成要件としては、

(1) 基板として 750℃以上の温度に耐えうる耐熱性を有するガラス基板（歪点が 750℃以上であるガラス基板）を用いる。

(2) 上記高耐熱性ガラス基板の外周面（少なくとも表面及び裏面、好ましくは全面）を絶縁性シリコン膜で保護する。

(3) 絶縁性シリコン膜で包まれた上記高耐熱性ガラス基板上に、スマートカット法を用いて単結晶シリコン薄膜を形成する。

という3点が挙げられる。

【0025】スマートカット法により基板上に貼り合わされた単結晶シリコン薄膜は 800～1200℃（好ましくは 900～1100℃）の加熱処理を施すことで完全な結合力が得られる。そのため、ベース基板としては歪点が少なくとも 750℃以上である基板を用いる必要がある。

【0026】その様な基板としては石英基板がまず考えられるが、前述の様に石英基板は高価であるため全体的なコストを上げてしまう。また、石英の熱膨張係数は $0.48 \times 10^{-6} \text{℃}^{-1}$ であり、シリコンの熱膨張係数（約 $4.15 \times 10^{-6} \text{℃}^{-1}$ ）の1/10程度と小さい。即ち、シリコンとの間に応力を発生しやすく、加熱処理の際にシリコンのピーリング（膜剥がれ）などを引き起こしやすい。

【0027】そこで、本願発明では歪点が 750℃以上（代表的には 800～1200℃、好ましくは 900～1100℃）である耐熱性の高い結晶化ガラスを基板として用いる。結晶化ガラスは石英よりも薄くできるため、L C D の製造コストを安く抑えられる。また、ガラス基板であるため大版化が可能であり、多面取りによるコストダウンも図れる。

【0028】さらに、熱膨張係数は結晶化ガラスを構成する成分組成を適切なものとする事で容易に変えることができるため、単結晶シリコン薄膜の熱膨張係数に近いものを選択することができる。即ち、熱膨張係数の差を極めて小さくすることができるので従来の様な膜剥がれなどがなくなり、従来例で述べた様な煩雑な工程を行う必要がない。

【0029】ただし、結晶化ガラスは様々な成分組成を持つため、半導体装置の製造過程における成分物質の流出が懸念される。そのため、結晶化ガラスを絶縁膜（単結晶シリコン薄膜との相性を考慮すると絶縁性シリコン膜が好ましい）で保護することが重要となる。そのためには、全プロセス過程において結晶化ガラスの少なくとも表面（素子が形成される側）及び裏面を絶縁膜で保護する必要がある。

【0030】なお、結晶化ガラスの側面は全体から見ると非常に小さい面積であるので露出していてもさほど問題とはならない。しかし、表面、側面及び裏面を絶縁膜

で完全に包み込んでしまい、成分物質の流出を完全に防ぐことが最も好ましいことは言うまでもない。

【0031】ただし、絶縁膜を成膜する際の基板支持部（プッシャーピン等）の部分には成膜されない部分ができる。しかしながら、全体の面積と比較すると非常に微小な領域なので問題とはならない。

【0032】以上の点を考慮して、本願発明者らは絶縁性シリコン膜で外周面（好ましくは全面）を保護された高耐熱性ガラス基板上に、スマートカット法により形成された単結晶シリコン薄膜を設ける、という本願発明の構成に至ったのである。

【0033】

【発明の実施の形態】本願発明の実施形態について、以下に示す実施例でもって詳細な説明を行うこととする。

【0034】

【実施例】〔実施例1〕本実施例では、スマートカット法を利用して結晶化ガラス上に単結晶シリコン薄膜を形成するまでの工程について図1を用いて説明する。

【0035】まず、基板として0.5～1.1mm厚（代表的には0.7mm厚）の結晶化ガラス基板101を用意する。結晶化ガラスはガラスセラミックスとも呼ばれ、ガラス生成の段階で微小な結晶を均一に成長させて得られたガラス基板と定義される。この様な結晶化ガラスは耐熱性が高く、熱膨張係数が小さいという特徴がある。

【0036】本願発明で用いるガラス基板には750℃以上、好ましくは900～1100の歪点温度を有する高い耐熱*

*性が要求される。現状ではその様な耐熱性を実現するガラス材料は結晶化ガラスしかないが、結晶化ガラスの定義に入らないガラス基板（例えば非晶質状態の高耐熱性ガラス基板等）であっても上記耐熱性を有する基板であれば本願発明に利用することができる。

【0037】なお、結晶化ガラスに関する詳細は「ガラスハンドブック；作花済夫 他，pp.197～217；朝倉書店，1975」を参考にすると良い。

【0038】結晶化ガラスの種類も様々であるが、基本的には石英（SiO₂）、アルミナ（Al₂O₃）を中心としたアルミノケイ酸塩ガラス、ホウケイ酸塩ガラス（B₂O₃が含まれる）などが実用的と言える。しかしながら、半導体装置用の基板として用いることを考慮すれば無アルカリガラスであることが望ましく、そういった意味で、MgO-Al₂O₃-SiO₂系、PbO-ZnO-B₂O₃系、Al₂O₃-B₂O₃-SiO₂系、ZnO-B₂O₃-SiO₂系などが好ましい。

【0039】MgO-Al₂O₃-SiO₂系の高絶縁結晶化ガラスは、核形成剤として、TiO₂、SnO₂、ZrO₂などを含み、コージュライト（2MgO・2Al₂O₃・5SiO₂）を主結晶相とする結晶化ガラスである。このタイプの結晶化ガラスは耐熱性が高く、電気絶縁性が高周波域でも優れている点に特徴がある。コージュライト系結晶化ガラスの組成例及び熱膨張係数を表1に示す。

【0040】

【表1】

ガラス組成 (wt%)				熱膨張係数 ×10 ⁻⁶ (°C) ⁻¹
SiO ₂	Al ₂ O ₃	MgO	TiO ₂	
40～60	20～30	13～14	9～13	1.5～6.5

【0041】熱膨張係数は小さいほど熱によるシュリンケージ（熱による縮み）の影響が小さくなるため、微細パターン加工を行う半導体用基板としては好ましい。しかし、半導体薄膜の熱膨張係数との差が大きいと膜剥がれなどを起こしやすくなるため、なるべく半導体薄膜の熱膨張係数に近いものを用いることが望ましい。この様なことを考慮すると、SiO₂が45～57%、Al₂O₃が20～27%、MgOが11～18%、TiO₂が9～12%のコージュライト系結晶化ガラスが好ましいと言える。

※

【0042】また、例えば透過型LCDを作製する場合には結晶化ガラスには透光性が要求される。その様な場合には無アルカリの透明結晶化ガラスを用いると良い。例えば、結晶相が充填β-石英固溶体で、熱膨張係数が1.1～3.0×10⁻⁶/°Cの結晶化ガラスとして、表2に示す様な結晶化ガラスがある。

【0043】

【表2】

ガラス組成 (wt%)					熱膨張係数 ×10 ⁻⁶ (°C) ⁻¹
SiO ₂	Al ₂ O ₃	MgO	ZnO	ZrO ₂	
64～75	16～25	3～10	0～7	3～10	1.1～3.0

【0044】本願発明の構成要件の第1は、以上の様な結晶化ガラスを基板として用いることである。勿論、適切な工夫（本願発明の様に絶縁膜で完全に保護する等）

を施せばアルカリ系結晶化ガラス（Na₂O-Al₂O₃-SiO₂系、Li₂O-Al₂O₃-SiO₂系等）を用いることもできる。また、熱膨張係数が非常に小さい（またはゼロに近い）結

晶化ガラスでも、 $2.0 \sim 3.0 \times 10^{-6} \text{℃}$ の熱膨張係数を有するガラスをコーティングして、半導体薄膜との熱膨張係数の差を緩和することも可能である。

【0045】以上の様な構成の結晶化ガラス101を用意したら、結晶化ガラス101に対して非晶質シリコン膜102を成膜する。成膜は減圧熱CVD法で行い、成膜ガスとしてはシラン(SiH_4)又はジシラン(Si_2H_6)を用いる。なお、膜厚は50~250 nm(代表的には100~150 nm)とすれば良い。(図1(A))

【0046】この様に減圧熱CVD法で成膜すると基板101を包み込む様にして表面、裏面及び側面に対して非晶質シリコン膜102を成膜することができる。なお、厳密には基板を保持するためのプッシャーピンが接する部分に非晶質シリコン膜102は成膜されない。しかし、全体の面積から見れば微々たるものである。

【0047】次に、加熱処理を行い、非晶質シリコン膜102を完全に熱酸化することで熱酸化膜103を形成する。この場合、非晶質シリコン膜102は完全に熱酸化して熱酸化膜103に変化するため、熱酸化膜103の膜厚は100~500 nm(代表的には200~300 nm)となる。

【0048】また、加熱処理の条件は公知のドライ O_2 酸化、ウェット O_2 酸化、スチーム酸化、パイロジェニック酸化、酸素分圧酸化、塩酸(HCl)酸化のいずれの手段によっても構わない。処理温度及び処理時間はプロセスを考慮した上で適切な条件を設定すれば良い。

【0049】なお、この加熱処理は結晶化ガラスの歪点以上、徐冷点以下の温度で行い、その温度で保持した後、徐冷するといった処理を行うことが好ましい。この様な処理を行うと熱酸化膜の形成と同時にガラスのシュリンケージ対策を行うことができる。即ち、上述の処理によって予め基板を十分に縮ませておくことでその後の加熱処理による基板のシュリンケージ量を低減することができる。これに関連した技術は特開平8-250744号公報に記載されている。

【0050】以上の様にして、熱酸化膜(酸化シリコン膜)103が形成されるが、前述の様に非晶質シリコン膜102は基板101を包み込む様にして形成されているので、熱酸化膜103も基板101を包み込む様にして形成される。即ち、結晶化ガラス基板101は完全に絶縁性シリコン膜で包まれるので、成分物質の流出を防止することが可能となる。

【0051】なお、ここでは SixOy で表される酸化シリコン膜を絶縁性シリコン膜として用いているが、他にも SixNy で表される窒化シリコン膜や SiOxNy で表される酸化窒化シリコン膜などの絶縁性シリコン膜を用いることも可能である。

【0052】こうして、本願発明の重要な構成のうちの二つ、結晶化ガラスを用いる点と結晶化ガラスを絶縁性シリコン膜で包み込む点とが達成される。

【0053】次に、ボンドウェハ104を用意する。ボンドウェハ104はその表面が熱酸化膜105で覆われ、イオンインプランテーション法による水素イオン(H^+ イオン)打ち込みによって水素打ち込み層106が形成されている。

【0054】なお、熱酸化膜105の膜厚は200~700 nm(代表的には400~500 nm)とし、水素イオンのドーズ量は $5 \times 10^{15} \sim 1 \times 10^{17} \text{ ions/cm}^2$ (好ましくは $1 \times 10^{16} \sim 5 \times 10^{16} \text{ ions/cm}^2$)とする。これ以下のドーズ量では破断層の形成が困難になり、これ以上の濃度ではイオン注入と同時に破断してしまう恐れがある。

【0055】そして、上述の結晶化ガラス101の主表面側(TFTを形成する側)に対してボンドウェハ104を室温で貼り合わせ、その後、400~600℃(典型的には500℃)の温度で加熱処理を施す。この時、結晶化ガラス101とボンドウェハ104の熱膨張係数に差があまりないので、熱応力によるピーリング(膜剥がれ)などの問題を防ぐことができる。

【0056】こうして、加熱処理工程が終了したら、ボンドウェハ104を引き離し、結晶化ガラス101上にボンドウェハ104の一部であった熱酸化膜105と、単結晶シリコン薄膜107を残存させる。(図2(D))

【0057】この熱酸化膜105は図2(B)の工程で形成された熱酸化膜103と一体化して下地膜として機能する。

【0058】その後、10nm前後のタッチポリッシュ工程を行い、900~1200℃(代表的には950~1050℃)の加熱処理を行って単結晶シリコン薄膜107の結合力を高める。こうして、熱酸化膜103で外周囲を完全に保護された結晶化ガラス101上に単結晶シリコン薄膜107を形成することができる。

【0059】本実施例に従って作製された図1(D)に示す結晶化ガラス基板は、従来の様に石英基板を用いるよりも大幅に製造コストが安価である。また、基板外周囲を完全に酸化シリコン膜で保護しているため、後工程でガラス成分による汚染が発生することもない。

【0060】〔実施例2〕本実施例では、本願発明の構成を有する半導体装置の作製工程について図3を用いて説明する。具体的にはNTFT(Nチャネル型TFT)とPTFT(Pチャネル型TFT)とを相補的に組み合わせたCMOS回路で構成される駆動回路及びロジック回路と、NTFTで構成される画素マトリクス回路とを同一基板上に一体形成する例を示す。

【0061】なお、ロジック回路とは、シフトレジスタなどに代表される駆動回路とは別の機能を有する信号処理回路であり、D/Aコンバータ回路、メモリ回路、 γ 補正回路、さらには演算処理回路など、従来外付けICで行っていた様な信号処理を行う回路の総称を意味する。

【0062】まず、図1を用いて説明した作製工程に従って、単結晶シリコン薄膜の形成までを終了させる。そして、得られた単結晶シリコン薄膜をパターンニングして活性層303～305を形成する。303はCMOS回路のPTFTの活性層、304はCMOS回路のNTFTの活性層、305は画素マトリクス回路の活性層であり、それぞれの膜厚は30nmとなる様に調節してある。

【0063】なお、本実施例では基板301としてSiO₂:65%、Al₂O₃:25%、MgO:10%、ZrO₂:10%の組成を有する結晶化ガラスを用いる。この基板301は透明である点に特徴がある。また、302は非晶質シリコン膜を熱酸化させて得た酸化シリコン膜であり、膜厚は400nmである。

【0064】こうして図3(A)の状態が得られる。次に、酸化シリコン膜から構成されるゲート絶縁膜306を120nmの膜厚に形成する。なお、他にも酸化窒化シリコン膜又は窒化シリコン膜を用いることができる。さらに、これら絶縁性シリコン膜を自由に組み合わせて積層構造としても良い。

【0065】ゲート絶縁膜306を形成したら、その状態で800～1100℃(好ましくは1000～1150℃)の温度範囲で熱酸化工程を行う。この時、活性層とゲート絶縁膜との界面で熱酸化反応が進行するため、活性層は薄膜化され、ゲート絶縁膜の膜厚は増加する。この構成はエッジシニング現象(活性層端部で熱酸化膜が極端に薄くなる現象)によるゲート絶縁膜の絶縁破壊を抑える上で効果的である。

【0066】また、この時、加熱処理の雰囲気は不活性雰囲気でも酸化雰囲気でも良いが、ドライO₂雰囲気が最も安定な界面特性を得る上で好ましい。また、高温で加熱処理を行うことによりゲート絶縁膜自体の膜質も向上する。

【0067】次に、ゲート絶縁膜306の上にN型導電性を呈する結晶性シリコン膜からなるゲート電極307～309を形成する。ゲート電極307～309の膜厚は200～300nmの範囲で選択すれば良い。(図3(B))

【0068】ゲート電極307～309を形成したら、ゲート電極307～309をマスクとしてドライエッチング法によりゲート絶縁膜306をエッチングする。本実施例では酸化シリコン膜をエッチングするためにCHF₃ガスを用いる。

【0069】この工程によりゲート電極(及びゲイト配線)の直下のみにゲート絶縁膜が残存する状態となる。勿論、ゲート電極の下に残った部分が実際にゲート絶縁膜として機能する部分である。

【0070】次に、PTFTとなる領域をレジストマスク310で隠し、N型を付与する不純物(本実施例ではリン)をイオンインプランテーション法またはプラズマドーピング法により添加する。この時形成される低濃度

不純物領域311、312の一部は後にLDD(Lightly Doped Drain)領域となるので、 $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm²の濃度でリンを添加しておく。(図3(C))

【0071】次に、レジストマスク310を除去した後、NTFTとなる領域をレジストマスク313で隠し、P型を付与する不純物(本実施例ではボロン)をイオンインプランテーション法またはプラズマドーピング法により添加する。この時も、リンの場合と同様に低濃度不純物領域314を形成する。(図3(D))

【0072】こうして図3(D)の状態が得られたら、レジストマスク313を除去した後、エッチバック法を用いてサイドウォール315～317を形成する。本実施例ではサイドウォール315～317を窒化シリコン膜を用いて構成する。

【0073】なお、サイドウォールの材料として酸化シリコン膜を用いる場合、結晶化ガラス301の側面を保護する酸化シリコン膜302の膜厚が薄いとエッチバック工程でなくなってしまう場合も起こりうる。ガラス側面は全体の面積よりも十分に小さいためガラス成分の流出はさほど問題とならないが、予め酸化シリコン膜302の膜厚を厚くしてエッチバック工程後も残る様にしておいても良い。

【0074】こうしてサイドウォール315～317を形成したら、再びPTFTとなる領域をレジストマスク318で隠し、リンを添加する。この時は先程の添加工程よりもドーズ量を高くする。

【0075】このリンの添加工程によりCMOS回路を構成するNTFTのソース領域319、ドレイン領域320、低濃度不純物領域(LDD領域)321、チャネル形成領域322が画定する。また、画素マトリクス回路を構成するNTFTのソース領域323、ドレイン領域324、低濃度不純物領域(LDD領域)325、チャネル形成領域326が画定する。(図4(A))

【0076】次に、レジストマスク315を除去した後、レジストマスク327でNTFTとなる領域を隠し、ボロンを先程よりも高いドーズ量で添加する。このボロンの添加工程によりCMOS回路を構成するPTFTのソース領域328、ドレイン領域329、低濃度不純物領域(LDD領域)330、チャネル形成領域331が画定する。(図4(B))

【0077】以上の様にして、活性層への不純物の添加工程が終了したら、ファーンেসアニール、レーザーアニールまたはランプアニールによって熱処理を行い、添加した不純物の活性化を行う。また、この時、不純物の添加時に活性層が受けた損傷も回復される。

【0078】なお、チャネル形成領域322、326、331は全く不純物元素が添加されず、真性または実質的に真性な領域である。ここで実質的に真性であるとは、N型又はP型を付与する不純物濃度がチャネル形成

領域のスピン密度以下であること、或いは同不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ の範囲に収まっていることを指す。

【0079】次に、25nm厚の窒化シリコン膜と 900nm厚の酸化シリコン膜との積層膜からなる第1の層間絶縁膜332を形成する。そして、Ti/Al/Ti（膜厚は順に100/500/100 nm）からなる積層膜で構成されるソース電極333～335、ドレイン電極336、337を形成する。

【0080】次に、50nm厚の窒化シリコン膜338、20nm厚の酸化シリコン膜（図示せず）、1 μm 厚のポリイミド膜339の積層構造からなる第2の層間絶縁膜を形成する。なお、ポリイミド以外にもアクリル、ポリアミド等の他の有機性樹脂膜を用いることができる。また、この場合の20nm厚の酸化シリコン膜はポリイミド膜339をドライエッチングする際のエッチングストッパーとして機能する。

【0081】第2の層間絶縁膜を形成したら、後に補助容量を形成する領域においてポリイミド膜339をエッチングして開口部を設ける。この時、開口部の底部には窒化シリコン膜338のみ残すか、窒化シリコン膜338と酸化シリコン膜（図示せず）を残すかのいずれかの状態とする。

【0082】そして、300 nm厚のチタン膜を成膜し、パターンニングによりブラックマスク340を形成する。このブラックマスク340は画素マトリクス回路上において、TFTや配線部など遮光を要する部分に配置される。

【0083】この時、前述の開口部では画素マトリクス回路のドレイン電極337とブラックマスク340とが窒化シリコン膜338（又は窒化シリコン膜と酸化シリコン膜との積層膜）を挟んで近接した状態となる。本実施例ではブラックマスク340を固定電位に保持して、ドレイン電極337を下部電極、ブラックマスク340を上部電極とする補助容量341を構成する。この場合、誘電体が非常に薄く比誘電率が高いため、大きな容量を確保することが可能である。

【0084】こうしてブラックマスク340及び補助容量341を形成したら、1 μm 厚のポリイミド膜を形成して第3の層間絶縁膜342とする。そして、コンタクトホールを形成して透明導電膜（代表的にはITO）で構成される画素電極343を120nmの厚さに形成する。

【0085】最後に、水素雰囲気中で 350℃ 2時間程度の加熱処理を行い、素子全体の水素化を行う。こうして図4（C）に示す様なアクティブマトリクス基板が完成する。本実施例で形成されたTFTは活性層として単結晶シリコン薄膜を用いているため、非常に高い性能を有する。

【0086】例えば、サブスレッショルド係数（S値）はNTFT、PTFT共に60～80mV/decadeであり、N

TFTの電界効果移動度（モビリティ）は 300～700cm²/Vs、PTFTのモビリティは 200～400cm²/Vs を実現する。

【0087】また、単結晶シリコン薄膜をスマートカット法で形成しているため基板上における活性層の膜厚の均一性を高めることができる。特に、高い均一性を要求される画素TFT（画素マトリクス回路を構成するTFT）の特性バラツキを抑える上で本願発明は非常に有効である。

【0088】また、アクティブマトリクス基板が完成したら、公知のセル組み工程によって対向基板との間に液晶層を挟持すればアクティブマトリクス型の液晶表示装置（透過型）が完成する。

【0089】なお、アクティブマトリクス基板の構造は本実施例に限定されず、あらゆる構造とすることができる。即ち、本願発明の構成要件を満たしうる構造であれば、TFT構造や回路配置等は実施者が自由に設計することができる。

【0090】例えば、本実施例では画素電極として透明導電膜を用いているが、これをアルミニウム合金膜など反射性の高い材料に変えれば容易に反射型のアクティブマトリクス型液晶表示装置を実現することができる。また、この場合、アクティブマトリクス基板の母体となる結晶化ガラスは透明である必要はなく、遮光性の基板を用いても構わない。

【0091】また、本実施例ではアクティブマトリクス基板として結晶化ガラスを用いているので対向基板としてガラス基板を用いる場合に相性がいい。仮にアクティブマトリクス基板として石英を用いると、石英とガラスの熱膨張係数の違いからアクティブマトリクス基板と対向基板との間で反りが生じる場合がある。

【0092】〔実施例3〕本実施例では実施例1、2の構成において結晶化ガラスを保護するための絶縁性シリコン膜を減圧熱CVD法により形成する場合の例について説明する。

【0093】まず、基板としてSiO₂: 52.5、Al₂O₃: 26.5、MgO: 11.9、TiO₂: 11.4を組成成分とする結晶化ガラスを用意する。これは核形成剤としてTiO₂を利用した無アルカリのソーダライト系結晶化ガラスである。

【0094】次に、結晶化ガラスの表面、裏面及び側面に対して酸化窒化シリコン膜を形成する。本実施例では成膜ガスとしてシラン（SiH₄）と亜酸化窒素（N₂O）を用いた減圧熱CVD法により酸化窒化シリコン膜を形成する。

【0095】この場合、成膜温度は 800～850℃（本実施例では850℃）で行い、それぞれの成膜ガスの流量はSiH₄: 10～30sccm、N₂O: 300～900sccmとする。また、反応圧力は 0.5～1.0torr とすれば良い。

【0096】また、成膜ガスとしてシランと二酸化窒素（N₂O）又は一酸化窒素（NO）を用いれば 600～650℃の温

度で酸化窒化シリコン膜を形成することもできる。その場合、反応圧力は 0.1~1.0torr とし、それぞれのガス流量は SiH_4 : 10~30sccm、 NO_2 又は NO : 300~900sccm とすれば良い。

【0097】本実施例の場合、減圧熱CVD法により酸化窒化シリコン膜を形成するため、結晶化ガラスの全面が絶縁膜で包まれる形となる。また、成膜ガスを異なるものとする事で結晶化ガラスの保護膜として窒化シリコン膜を形成することもできる。

【0098】その場合、成膜ガスとして40~50sccmのジクロールシラン (SiH_2Cl_2) と 200~250sccm のアンモニア (NH_3) とを用い、成膜温度を 750~800 °C、反応圧力を 0.1~0.5torr とすれば良い。

【0099】窒化シリコン膜はガラス成分の流出を阻止するには最適な絶縁膜であるが応力が強いのでTFTの下地膜としては不向きであった。しかしながら、本願発明では結晶化ガラスの少なくとも表面及び裏面に窒化シリコン膜が形成されるので窒化シリコン膜の応力が基板の裏表で相殺され、基板の反り等は発生しない。

【0100】〔実施例4〕本実施例では、実施例1乃至実施例2においてゲイト絶縁膜として減圧熱CVD法により成膜した絶縁性シリコン膜を用いる場合の例を示す。説明には図5を用いる。図5に示す状態は、ゲイト電極を形成した後にゲイト絶縁膜をエッチングした直後の状態である。

【0101】図5において、501は結晶化ガラス、502は結晶化ガラスからの成分物質の流出を阻止するための保護膜(下地膜)となる酸化窒化シリコン膜である。結晶化ガラス501の表面側には活性層503~505が形成され、ゲイト絶縁膜を成膜した後、ゲイト電極506~508が形成される。

【0102】このゲイト電極506~508をマスクとしてドライエッチングを行うことでゲイト電極直下にゲイト絶縁膜509~511が残存する。

【0103】本実施例の最も重要な構成は、ゲイト絶縁膜として減圧熱CVD法により成膜した絶縁性シリコン膜(本実施例では酸化窒化シリコン膜)を用いる点にある。即ち、ゲイト絶縁膜も結晶化ガラス501の表面、裏面及び側面側の全ての面に成膜される点が特徴である。

【0104】従って、ゲイト絶縁膜(酸化窒化シリコン膜)のエッチング工程が終了した時点(図5の状態)では基板の表面側はゲイト電極でマスクされた部分以外は完全に除去され、基板の裏面及び側面にはそのまま酸化窒化シリコン膜512が残る。なお、側面に形成された酸化窒化シリコン膜は条件によっては除去されてしまうが、側面は除去されてしまっても問題ない。

【0105】本実施例の構成では、後の工程で裏面及び側面が酸化窒化シリコン膜をエッチングしうるエッチャント又はエッチングガスに曝されることがあっても結晶

化ガラス501に直接成膜した酸化窒化シリコン膜502を残すことができる。即ち、ガラス基板からの成分物質の流出を徹底的に阻止することが可能である。

【0106】〔実施例5〕実施例2ではゲイト電極としてN型導電性を呈する結晶性シリコン膜を利用しているが、導電性を有する材料であればあらゆる材料を用いることができる。特に、直視用の液晶表示装置を作製する場合には、画素マトリクス回路の面積が大きくなるため配線抵抗の小さい材料を用いることが好ましい。

【0107】その様な場合には、ゲイト電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いることが望ましい。本実施例ではゲイト電極として2wt%のスカンジウムを含有したアルミニウム膜を用いる。

【0108】アルミニウムを主成分とする材料をゲイト電極として利用する場合には、本発明者らによる特開平7-135318号公報に記載された技術を利用すると良い。同公報では実施例1で用いたサイドウォールの代わりにゲイト電極を陽極酸化して得られる陽極酸化膜を利用している。

【0109】本実施例の様にゲイト電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いることで配線抵抗の小さいゲイト配線を形成することが可能となり、応答速度の速いアクティブマトリクス基板を作製することができる。

【0110】なお、本実施例は実施例1~4の構成と組み合わせることが可能である。

【0111】〔実施例6〕実施例2において、活性層中にTFTのしきい値電圧(V_{th})を制御するための不純物元素を添加することは有効である。この不純物元素は少なくともチャネル形成領域にさえ添加されていれば良いので、ゲイト電極の形成前であれば何時添加しても良い。

【0112】成膜時以外に添加する場合には、イオンインプランテーション法またはプラズマドーピング法による添加、気相中からの拡散による添加、固相中からの拡散による添加などの手段を用いることができる。これらの手段は、例えばNTFTとPTFTとで添加する不純物を異ならせるといった具合に選択的な添加が可能であるため有効である。

【0113】また、添加する不純物元素としては、 V_{th} をプラス側に移動させるのであれば13族元素(ボロン、ガリウム又はインジウム)を用い、マイナス側に移動させるのであれば15元素(リン、砒素又はアンチモン)を用いる。

【0114】なお、本実施例は実施例1~5の構成と組み合わせることが可能である。

【0115】〔実施例7〕本実施例では、実施例1で説明したアクティブマトリクス基板において、第3の層間絶縁膜342(図4(C)参照)の上にヒートシンクとしてDLC(Diamond Like Carbon)膜を利用する場合

の例について説明する。

【0116】図6に示す構造は、基本的には図4(C)の構造と同じであるが第3の層間絶縁膜342上にDLC膜601が設けられている点が異なる。

【0117】DLCとは、ダイヤモンドの如き物性を示す炭素または炭素を主成分とする硬度の高い材料である。また、i-カーボンとも呼ばれ、sp³結合を主体として構成されている。

【0118】ダイヤモンドは室温において最も熱伝導率の高い材料(室温で約10~20W/cm・k)であり、それと同等の物性を示すDLC膜も高い熱伝導率を示す。本実施例ではその熱伝導率の高さを利用してヒートシンクとして機能させている。

【0119】また、DLC膜は有機性樹脂膜との密着性に優れているため、層間絶縁膜として有機性樹脂膜を用い、その上にヒートシンクを設ける場合には非常に有効な材料である。

【0120】なお、DLC膜の成膜手段としてはプラズマCVD法、ECRプラズマCVD法、スパッタ法、イオンビームスパッタ法、イオン化蒸着法等の気相成膜法を用いることができる。

【0121】また、DLC膜を形成する際の原料ガスとしては炭化水素が用いられる。炭化水素としてはメタン、エタン、プロパン等の飽和炭化水素、エチレン、アセチレン等の不飽和炭化水素が挙げられる。また、炭化水素分子の水素のうち1個若しくは複数個がハロゲン元素に置換したハロゲン化炭化水素を用いても良い。

【0122】また、炭化水素の他に水素を添加することは有効である。水素を添加するとプラズマ中での水素ラジカルが増加し、膜中の余分な水素を引き抜き、膜質を向上させる効果が期待できる。この時、全ガス流量に対する水素ガス流量の比は30~90%、好ましくは50~70%が良い。この比が多すぎると成膜速度が減少し、少なすぎると余分な水素の引き抜き効果がなくなる。

【0123】さらに、原料ガスを希釈するキャリアガスとしてヘリウムを添加することもできるし、スパッタ法の場合にはスパッタリングガスとしてアルゴンを添加する場合もある。また、特開平6-208721号公報に記載される様に13~15族の元素を添加することも有効である。

【0124】また、反応圧力は5~1000mTorr、好ましくは10~100mTorrが良い。高周波電力は通常13.56MHzを用いる。この時、印加するRF電力は0.01~1W/cm²、好ましくは0.05~0.5W/cm²とする。さらに、原料ガスの分解を助長するために2.45GHzのマイクロ波による励起効果を付加したり、その励起空間に対して875 Gaussの磁場を形成し、電子スピン共鳴を利用することも有効である。

【0125】本実施例ではプラズマCVD装置の反応空間に原料ガスとしてメタンガスを50sccm、水素ガスを50

sccmを導入し、成膜圧力は10mTorr、RF電力は100W、反応空間の温度は室温とする。また、基板バイアスとして200Vの直流バイアスを加え、プラズマ中の粒子(イオン)が被形成面上に入射する様な電界を形成することで膜質の緻密化と硬度の向上を図っている。

【0126】また、DLC膜は膜厚が10nm程度でも非常に高い耐摩耗性を持っている。そのため、図7に示した構造では第3の層間絶縁膜342を機械的な衝撃から保護する効果が得られる。これは、ラビング工程等による摩擦工程に対して非常に効果的である。

【0127】なお、摩擦係数はDLC膜厚に依存性を有し、DLC膜厚が厚くなる程小さくなる。従って、DLC膜の膜厚は10nm以上あれば良いことになるが、厚すぎると液晶に印加される電界が弱くなるので10~50nm程度が良い。

【0128】なお、DLC膜のさらに詳細な成膜方法および成膜装置等については、本発明者らによる特公平3-72711号公報、同4-27690号公報、同4-27691号公報を参考にすると良い。

【0129】以上の様な構成で得られた図7の構造では、TF Tで発生した熱が高い効率で逃がされるので、蓄熱による動作不良を防ぐことができる。特に、プロジェクションタイプの電子機器に用いる液晶表示装置には、この様な耐熱構造を利用した方が良い。

【0130】〔実施例8〕実施例1~7に示した構成を有するアクティブマトリクス基板を用い、液晶表示装置を構成した例を図7に示す。図7は液晶表示装置の本体に相当する部位であり、液晶モジュールとも呼ばれる。

【0131】図7において、701は結晶化ガラス、702は結晶化ガラスの全面を包む様にして形成された絶縁性シリコン膜である。大版基板から多面取りによって複数枚のアクティブマトリクス基板を切り出す場合には切断面となる側面には絶縁性シリコン膜が存在しないが、それ以外の側面には絶縁性シリコン膜が残るというのが本願発明の特徴である。勿論、アクティブマトリクス基板として完成してしまっているため絶縁性シリコン膜で保護されていなくても成分物質が流出する心配はない。

【0132】そして、この様な構成の基板上に単結晶シリコン薄膜でもって複数のTF Tが形成されている。これらのTF Tは基板上に画素マトリクス回路703、ゲート側駆動回路704、ソース側駆動回路705、ロジック回路706を構成する。そして、その様なアクティブマトリクス基板に対して対向基板707が貼り合わされる。アクティブマトリクス基板と対向基板707との間には液晶層(図示せず)が挟持される。

【0133】また、図7に示す構成では、アクティブマトリクス基板の側面と対向基板の側面とをある一边を除いて全て揃えることが望ましい。こうすることで大版基板からの多面取り数を効率良く増やすことができる。ま

た、前述の一边では、対向基板の一部を除去してアクティブマトリクス基板の一部を露出させ、そこにFPC（フレキシブル・プリント・サーキット）708を取り付ける。ここには必要に応じてICチップ（単結晶シリコン上に形成されたMOSFETで構成される半導体回路）を搭載しても構わない。

【0134】本実施例の回路を構成するTFTは極めて高い動作速度を有しているため、数百MHz～数GHzの高周波数で駆動する信号処理回路を画素マトリクス回路と同一の基板上に一体形成することが可能である。即ち、図7に示す液晶モジュールはシステム・オン・パネルを具現化したものである。

【0135】なお、本実施例では本願発明を液晶表示装置に適用した場合について記載しているが、アクティブマトリクス型EL（エレクトロルミネッセンス）表示装置などを構成することも可能である。また、光電変換層を具備したイメージセンサ等を同一基板上に形成することも可能である。

【0136】なお、上述の液晶表示装置、EL表示装置及びイメージセンサの様に光学信号を電気信号に変換する、又は電気信号を光学信号に変換する機能を有する装置を電気光学装置と定義する。本願発明は絶縁表面を有する基板上に半導体薄膜を利用して形成しうる電気光学装置ならば全てに適用することができる。

【0137】〔実施例9〕本願発明は実施例8に示した様な電気光学装置だけでなく、機能回路を集積化した薄膜集積回路（または半導体回路）を構成することもできる。例えば、マイクロプロセッサ等の演算回路や携帯機器用の高周波回路（MMIC：マイクロウェーブ・モジュール・IC）などを構成することもできる。

【0138】さらには、薄膜を用いるTFTの利点を生かして三次元構造の半導体回路を構成し、超高密度に集積化されたVLSI回路を構成することも可能である。この様に、本願発明のTFTを用いて非常に機能性に富んだ半導体回路を構成することが可能である。なお、本明細書中において、半導体回路とは半導体特性を利用して電気信号の制御、変換を行う電気回路と定義する。

【0139】〔実施例10〕本実施例では、実施例8や実施例9に示された電気光学装置や半導体回路を搭載した電子機器（応用製品）の一例を図8に示す。なお、電子機器とは半導体回路および／または電気光学装置を搭載した製品と定義する。

【0140】本願発明を適用しうる電子機器としてはビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、PHS等）などが挙げられる。

【0141】図8（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006

で構成される。本願発明は音声出力部2002、音声出力部2003、表示装置2004等に適用することができる。

【0142】図8（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106等に適用することができる。

【0143】図8（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明はカメラ部2202、受像部2203、表示装置2205等に適用できる。

【0144】図8（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0145】図8（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0146】図8（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0147】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、電気光学装置や半導体回路を必要とする製品であれば全てに適用できる。

【0148】

【発明の効果】本願発明では安価で大版化の可能な結晶化ガラスを使用し、且つ、結晶化ガラスを安全に（汚染の心配なく）活用するためにガラスの少なくとも表面及び裏面（好ましくは外周囲全面）を絶縁性シリコン膜で保護するといった構成を採用している。

【0149】そして、その上にスマートカット法を利用して形成した単結晶シリコン薄膜を用いてTFTを作製することでシステム・オン・パネルを実現し、高性能な電気光学装置や半導体回路、さらにはそれらを搭載した電子機器を低価格で提供することができる。

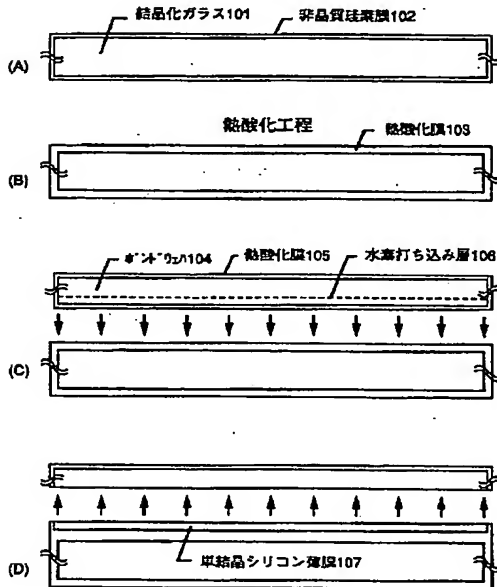
【図面の簡単な説明】

- 【図1】 単結晶シリコン薄膜の作製工程を示す図。
- 【図2】 スマートカット法の工程を示す図。
- 【図3】 薄膜トランジスタの作製工程を示す図。
- 【図4】 薄膜トランジスタの作製工程を示す図。
- 【図5】 薄膜トランジスタの構成を示す図。

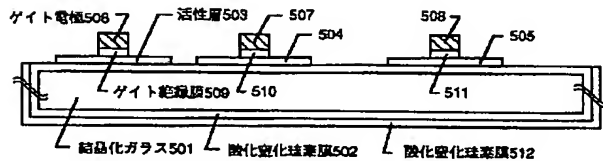
【図6】 薄膜トランジスタの構成を示す図。

【図7】 液晶モジュールの構成を示す図。

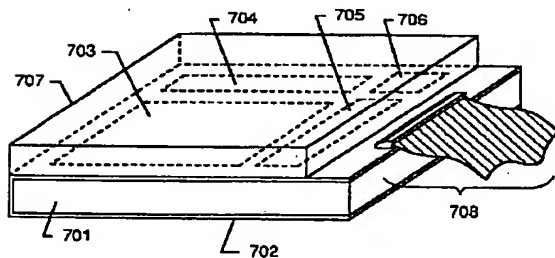
【図1】



【図5】



【図7】

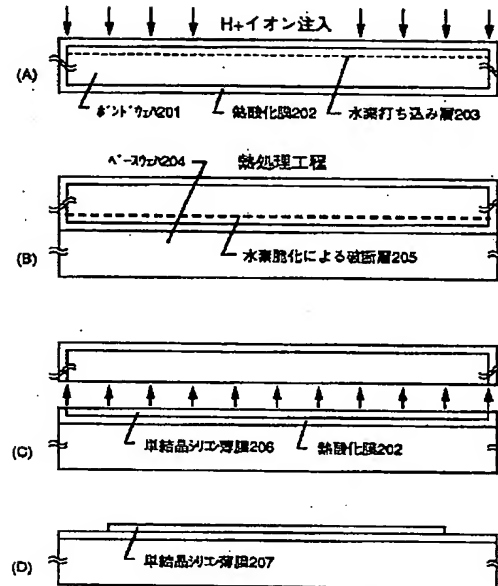


- | | |
|--------------|--------------|
| 701 結晶化ガラス | 705 ソース側駆動回路 |
| 702 絶縁性シリコン膜 | 708 ロジック回路 |
| 703 マトリクス回路 | 707 対向基板 |
| 704 ゲイト側駆動回路 | 708 FPC |

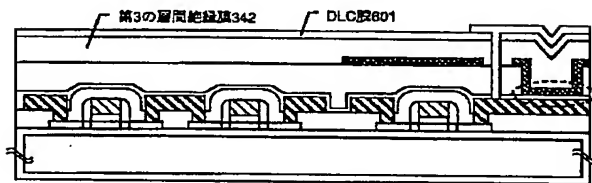
【図8】 電子機器の構成を示す図。

【図2】

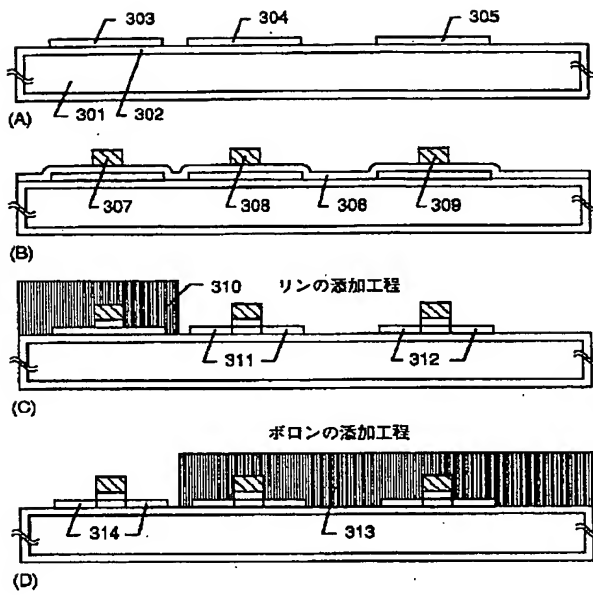
prior art



【図6】

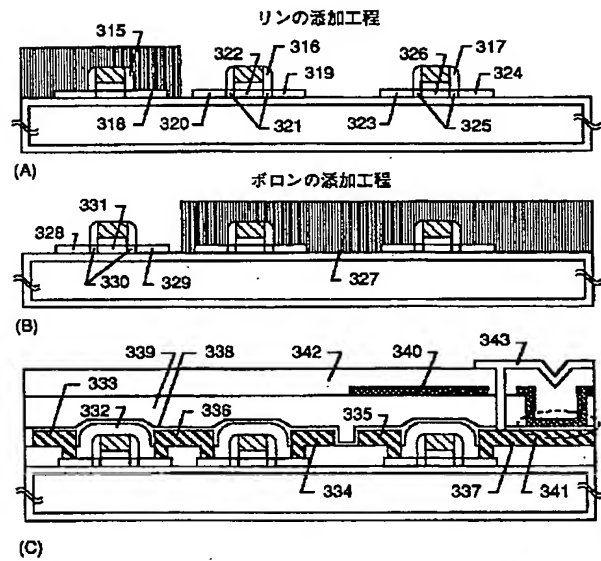


【図3】



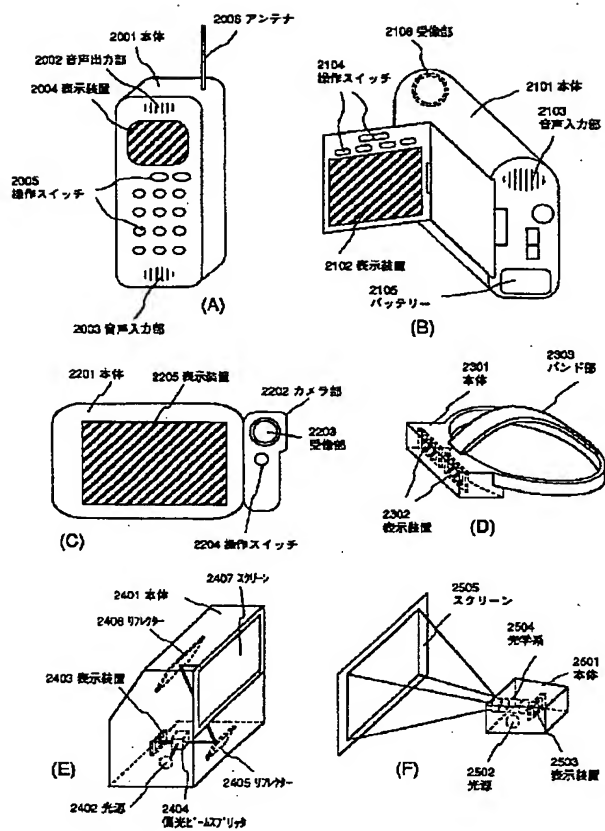
- | | |
|---------------|-----------------------|
| 301 結晶化ガラス | 310、313 レジストマスク |
| 302 絶縁性珪素膜 | 311、312 低濃度不純物領域 (リン) |
| 303~305 活性層 | 314 低濃度不純物領域 (ボロン) |
| 306 ゲイト絶縁膜 | |
| 307~309 ゲイト電極 | |

【図4】



- | | |
|-----------------------|----------------|
| 315~317 サイドウォール | 336、337 ドレイン電極 |
| 318、327 レジストマスク | 338 窒化珪素膜 |
| 319、323、328 ソース領域 | 339 ポリイミド膜 |
| 320、324、329 ドレイン領域 | 340 ブラックマスク |
| 321、325、330 低濃度不純物領域 | 341 補助容量 |
| 322、326、331 チャンネル形成領域 | 342 第3の層間絶縁膜 |
| 332 第1の層間絶縁膜 | 343 画素電極 |
| 333、334、335 ソース電極 | |

【図8】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開平11-163363

【公開日】平成11年6月18日(1999.6.18)

【出願番号】特願平9-337670

【国際特許分類第7版】

H O 1 L 29/786

H O 1 L 21/336

【F I】

H O 1 L 29/78 6 2 6 C

H O 1 L 29/78 6 1 8 Z

H O 1 L 29/78 6 2 7 D

H O 1 L 29/78 6 2 7 E

H O 1 L 29/78 6 2 7 F

【手続補正書】

【提出日】平成16年10月26日(2004.10.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

歪点が750℃以上であるガラス基板と、
前記ガラス基板の表面及び裏面に形成された絶縁性シリコン膜と、
前記絶縁性シリコン膜上に形成された単結晶シリコン薄膜を半導体膜とする薄膜トランジスタと、を有することを特徴とする半導体装置。

【請求項2】

歪点が750℃以上であるガラス基板と、
前記ガラス基板の外周面に形成された絶縁性シリコン膜と、
前記絶縁性シリコン膜上に形成された単結晶シリコン薄膜を半導体膜とする薄膜トランジスタと、を有することを特徴とする半導体装置。

【請求項3】

請求項1または請求項2において、前記ガラス基板は結晶化ガラスであることを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、前記ガラス基板のガラス組成はS i O₂が45乃至57%、A l₂O₃が20乃至27%、M g Oが11乃至18%、T i O₂が9乃至12%であることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項3のいずれか一項において、前記ガラス基板のガラス組成はS i O₂が64乃至75%、A l₂O₃が16乃至25%、M g Oが3乃至10%、Z n Oが0乃至7%、Z r O₂が3乃至10%であることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項3のいずれか一項において、前記ガラス基板は結晶化ガラスに2.0乃至3.0×10⁻⁶℃⁻¹の熱膨張係数を有するガラスをコーティングしたものであることを特徴とする半導体装置。

【請求項 7】

歪点が 750℃以上であるガラス基板の表面及び裏面に非晶質半導体薄膜を形成し、前記ガラス基板を加熱処理することにより前記非晶質半導体薄膜を熱酸化して熱酸化膜を形成する第 1 の工程と、
シリコン基板の外周面を熱酸化して熱酸化膜を形成し、前記シリコン基板に水素イオンを添加することにより水素で終端された水素打ち込み層を形成する第 2 の工程と、
前記第 1 の工程において熱酸化膜が形成された前記ガラス基板と、前記第 2 の工程において水素打ち込み層が形成された前記シリコン基板を接着し、接着した前記ガラス基板及び前記シリコン基板を加熱処理して前記シリコン基板に形成された水素打ち込み層で剥離することにより、前記ガラス基板に単結晶シリコン薄膜を形成する第 3 の工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 8】

歪点が 750℃以上であるガラス基板の外周面に非晶質半導体薄膜を形成し、前記ガラス基板を加熱処理することにより前記非晶質半導体薄膜を熱酸化して熱酸化膜を形成する第 1 の工程と、
シリコン基板の外周面を熱酸化して熱酸化膜を形成し、前記シリコン基板に水素イオンを添加することにより水素で終端された水素打ち込み層を形成する第 2 の工程と、
前記第 1 の工程において熱酸化膜が形成された前記ガラス基板と、前記第 2 の工程において水素打ち込み層が形成された前記シリコン基板を接着し、接着した前記ガラス基板及び前記シリコン基板を加熱処理して前記シリコン基板に形成された水素打ち込み層で剥離することにより、前記ガラス基板に単結晶シリコン薄膜を形成する第 3 の工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 9】

歪点が 750℃以上であるガラス基板の表面及び裏面に減圧熱 CVD 法により絶縁性シリコン膜を形成する第 1 の工程と、
シリコン基板の外周面を熱酸化して熱酸化膜を形成し、前記シリコン基板に水素イオンを添加することにより水素で終端された水素打ち込み層を形成する第 2 の工程と、
前記第 1 の工程において絶縁性シリコン膜が形成された前記ガラス基板と、前記第 2 の工程において水素打ち込み層が形成された前記シリコン基板を接着し、接着した前記ガラス基板及び前記シリコン基板を加熱処理して前記シリコン基板に形成された水素打ち込み層で剥離することにより、前記ガラス基板に単結晶シリコン薄膜を形成する第 3 の工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 10】

歪点が 750℃以上であるガラス基板の外周面に減圧熱 CVD 法により絶縁性シリコン膜を形成する第 1 の工程と、
シリコン基板の外周面を熱酸化して熱酸化膜を形成し、前記シリコン基板に水素イオンを添加することにより水素で終端された水素打ち込み層を形成する第 2 の工程と、
前記第 1 の工程において絶縁性シリコン膜が形成された前記ガラス基板と、前記第 2 の工程において水素打ち込み層が形成された前記シリコン基板を接着し、接着した前記ガラス基板及び前記シリコン基板を加熱処理して前記シリコン基板に形成された水素打ち込み層で剥離することにより、前記ガラス基板に単結晶シリコン薄膜を形成する第 3 の工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 7 乃至請求項 10 のいずれか一項において、前記第 3 の工程の加熱処理により前記シリコン基板に形成された水素打ち込み層を水素脆化し、前記水素打ち込み層で剥離することを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 7 乃至請求項 11 のいずれか一項において、前記ガラス基板は結晶化ガラスを用いることを特徴とする半導体装置の作製方法。

【請求項 13】

請求項 7 乃至請求項 1 2 のいずれか一項において、前記ガラス基板のガラス組成が SiO_2 は 45 乃至 57 %、 Al_2O_3 は 20 乃至 27 %、 MgO は 11 乃至 18 %、 TiO_2 は 9 乃至 12 % であるものを用いることを特徴とする半導体装置の作製方法。

【請求項 1 4】

請求項 7 乃至請求項 1 2 のいずれか一項において、前記ガラス基板のガラス組成が SiO_2 は 64 乃至 75 %、 Al_2O_3 は 16 乃至 25 %、 MgO は 3 乃至 10 %、 ZnO は 0 乃至 7 %、 ZrO_2 は 3 乃至 10 % であるものを用いることを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 7 乃至請求項 1 2 のいずれか一項において、前記ガラス基板は結晶化ガラスに 2.0 乃至 $3.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ の熱膨張係数を有するガラスをコーティングしたものを用いることを特徴とする半導体装置の作製方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

また、例えば透過型 LCD を作製する場合には結晶化ガラスには透光性が要求される。そのような場合には無アルカリの透明結晶化ガラスを用いると良い。例えば、結晶相が充填 β -石英固溶体で、熱膨張係数が $1.1 \sim 3.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ の結晶化ガラスとして、表 2 に示す様な結晶化ガラスがある。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

本願発明の構成要件の第 1 は、以上の様な結晶化ガラスを基板として用いることである。勿論、適切な工夫（本願発明の様に絶縁膜で完全に保護する等）を施せばアルカリ系結晶化ガラス（ $\text{Na}_2\text{O}-\text{Al}_2\text{O}_3-\text{SiO}_2$ 系、 $\text{Li}_2\text{O}-\text{Al}_2\text{O}_3-\text{SiO}_2$ 系等）を用いることもできる。また、熱膨張係数が非常に小さい（またはゼロに近い）結晶化ガラスでも、 $2.0 \sim 3.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ の熱膨張係数を有するガラスをコーティングして、半導体薄膜との熱膨張係数を有するガラスをコーティングして、半導体薄膜との熱膨張係数の差を緩和することも可能である。

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成19年8月23日(2007.8.23)

【公開番号】特開平11-163363
 【公開日】平成11年6月18日(1999.6.18)
 【出願番号】特願平9-337670
 【国際特許分類】

H O 1 L 29/786 (2006.01)
 H O 1 L 21/336 (2006.01)

【F I】

H O 1 L 29/78 6 2 6 C
 H O 1 L 29/78 6 1 8 Z
 H O 1 L 29/78 6 2 7 D
 H O 1 L 29/78 6 2 7 E
 H O 1 L 29/78 6 2 7 F

【手続補正書】

【提出日】平成19年7月9日(2007.7.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ガラス基板と、
 前記ガラス基板上の単結晶シリコン薄膜でなる活性層と、
 前記ガラス基板と前記活性層との間にある塩素を含む酸化シリコン膜と、
 前記活性層を有する薄膜トランジスタと、
 を有することを特徴とする半導体装置。

【請求項2】

ガラス基板と、
 前記ガラス基板上の単結晶シリコン薄膜でなる活性層と、
 前記ガラス基板と前記活性層との間にある、酸化窒化シリコン膜または窒化シリコン膜と、
 前記活性層を有する薄膜トランジスタと、
 を有することを特徴とする半導体装置。

【請求項3】

ガラス基板と、
 前記ガラス基板上の単結晶シリコン薄膜でなる第1活性層及び第2活性層と、
 前記ガラス基板と前記第1活性層及び前記第2活性層との間にある塩素を含む酸化シリコン膜と、
 前記第1活性層を有するNチャネル型薄膜トランジスタと、

前記第2活性層を有するPチャネル型薄膜トランジスタと、
を有することを特徴とする半導体装置。

【請求項4】

ガラス基板と、
前記ガラス基板上の単結晶シリコン薄膜でなる第1活性層及び第2活性層と、
前記ガラス基板と前記第1活性層及び前記第2活性層との間にある、酸化窒化シリコン膜または窒化シリコン膜と、
前記第1活性層を有するNチャネル型薄膜トランジスタと、
前記第2活性層を有するPチャネル型薄膜トランジスタと、
を有することを特徴とする半導体装置。

【請求項5】

請求項1または請求項2において、前記薄膜トランジスタはゲート電極の側面にサイドウォールを有することを特徴とする半導体装置。

【請求項6】

請求項3または請求項4において、前記Nチャネル型薄膜トランジスタ及び前記Pチャネル型薄膜トランジスタは、それぞれゲート電極の側面にサイドウォールを有することを特徴とする半導体装置。

【請求項7】

請求項5において、前記活性層はチャネル形成領域、ソース領域、ドレイン領域、及び低濃度不純物領域を有し、前記低濃度不純物領域は前記サイドウォールの下部に設けられていることを特徴とする半導体装置。

【請求項8】

請求項6において、前記第1活性層及び前記第2活性層は、それぞれチャネル形成領域、ソース領域、ドレイン領域、及び低濃度不純物領域を有し、前記低濃度不純物領域は、それぞれ、前記Nチャネル型薄膜トランジスタの前記サイドウォールの下部または前記Pチャネル型薄膜トランジスタの前記サイドウォールの下部に設けられていることを特徴とする半導体装置。

【請求項9】

請求項1または請求項3において、前記塩素を含む酸化シリコン膜と前記活性層との間に酸化膜を有することを特徴とする半導体装置。

【請求項10】

請求項2または請求項4において、前記酸化窒化シリコン膜または前記窒化シリコン膜と前記活性層との間に酸化膜を有することを特徴とする半導体装置。

【請求項11】

請求項1乃至請求項10のいずれかにおいて、前記薄膜トランジスタを用いて形成した画素マトリクス回路及び駆動回路が、前記ガラス基板上に一体形成されていることを特徴とする半導体装置。

【請求項12】

請求項1乃至請求項11のいずれかにおいて、前記半導体装置は液晶表示装置またはアクティブマトリクス型EL表示装置であることを特徴とする半導体装置。

【請求項13】

請求項1乃至請求項12のいずれかにおいて、前記ガラス基板は、アルミノケイ酸塩ガラス、ホウケイ酸塩ガラス、または、 $\text{MgO}-\text{Al}_2\text{O}_3-\text{SiO}_2$ 系もしくは $\text{Al}_2\text{O}_3-\text{B}_2\text{O}_3-\text{SiO}_2$ 系の無アルカリガラスであることを特徴とする半導体装置。

【請求項14】

請求項1乃至請求項13のいずれかにおいて、前記ガラス基板は歪点が 750°C 以上であることを特徴とする半導体装置。

【請求項15】

請求項1乃至請求項14のいずれかにおいて、前記単結晶シリコン薄膜は、単結晶シリコンでなるボンドウエハの一部が剥離したものであることを特徴とする半導体装置。